

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-012883

(43)Date of publication of application : 16.01.1998

(51)Int.Cl.

H01L 29/786

(21)Application number : 08-159996

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.06.1996

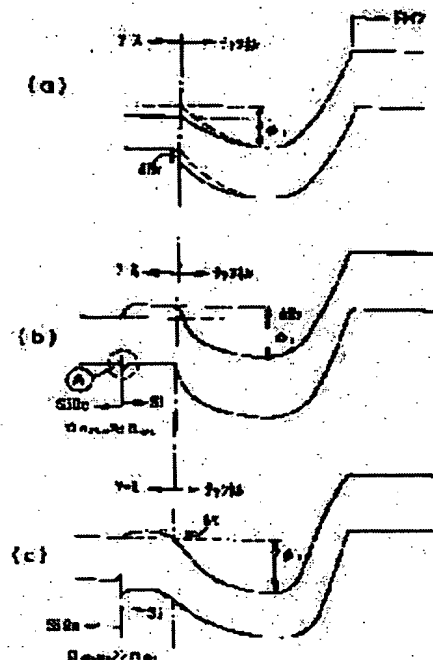
(72)Inventor : NISHIYAMA AKIRA  
ARISUMI OSAMU  
YOSHIMI MAKOTO

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress the substrate floating effect of a semiconductor device by forming a second semiconductor region having a smaller forbidden band gap than that of a first semiconductor region over at least a part or entire or a p<sup>+</sup>-source or -drain region or part extending to a channel region.

**SOLUTION:** As the most basic example, the entire of a p<sup>+</sup>-source region is made of a SiGe layer and the forbidden band width  $E_g$  at only this source region is uniformly reduced. The band gap of a  $\text{Si}_x\text{Ge}_{1-x}$  is smaller by  $\Delta E_v$  than that of Si to result in a band discontinuity of  $\Delta E_v$  at the valence band. This discontinuity lowers the energy barrier  $\phi_{b1}$  against a flow of electrons accumulated in the channel part in the source direction, thereby accelerating the flow of the electrons accumulated in the channel part into the p<sup>+</sup>-source region. Thus, it is possible to suppress the substrate floating effect of a p-channel MOSFET having a fine SOI structure.



## LEGAL STATUS

[Date of request for examination]

04.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3383154

[Date of registration] 20.12.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**


---

[Claim(s)]

[Claim 1] The 1st semiconductor region of n mold formed on the 1st insulator layer A source field A drain field A gate electrode which controls current which flows this 1st semiconductor region through the 2nd insulator layer as a gate insulator layer formed in the upper part of this 1st semiconductor region it is the semiconductor device equipped with the above, and p mold impurity element contains in this source and a drain field -- having -- a part of one [ at least ] field [ at least ] of this source and a drain field -- or it is all -- it is -- a channel field is reached in part -- it is characterized by until consisting of the 2nd semiconductor region where forbidden-band width of face is smaller than said 1st semiconductor region.

[Claim 2] The 1st semiconductor region of n mold formed on the 1st insulator layer A source field A drain field A gate electrode which controls current which flows this 1st semiconductor region through a gate insulator layer formed in the upper part of this 1st semiconductor region It is the semiconductor device equipped with the above, and p mold impurity element is contained in this source and a drain field, and it is characterized by forming in both the upper part of one [ at least ] field of this source and a drain field, the lower part or the upper part, and the lower part the 2nd semiconductor region where forbidden-band width of face is smaller than said 1st semiconductor region.

[Claim 3] Said 2nd semiconductor region is a semiconductor device according to claim 1 or 2 characterized by being a carrier beam Si about distortion in the direction in which said 1st semiconductor region is silicon (Si), and a lattice constant spreads.

[Claim 4] said 1st semiconductor region -- silicon (Si) -- it is -- said 2nd semiconductor region -- Six germanium 1-x Or Six Sn 1-x it is -- a semiconductor device according to claim 1 or 2 characterized by things.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention is concerned with the insulated-gate mold semiconductor device which is applied to semiconductor devices, such as an integrated circuit (LSI) containing the insulated-gate mold semiconductor device of a simple substance, and this, especially is formed on an insulator layer.

[0002]

[Description of the Prior Art] There is a remarkable thing in the advance to high integration of the semiconductor integrated circuit (LSI) looked at by 256Mb(s) dynamic random-access-memory (DRAM) technology in recent years etc. However, if DRAM is explained to an example, with progress of a degree of integration, memory cell area tends to decrease increasingly and reservation of the cell capacity for preventing the so-called soft error caused by alpha rays is difficult. For soft error prevention of DRAM, the so-called SOI (Silicon-On-Insulator) structure which makes a semiconductor device is adopted on the single-crystal-silicon film 165 on the insulator layer (SOI insulator layer) 202 as shown in drawing 11. Detailed and high-speed operation are possible for a silicon-on-insulator desubstrate, and it is promising as a high performance element. If SOI structure is used, since the electron and electron hole pair generated by alpha rays can be restricted in the single-crystal-silicon film 165 on a SOI insulator layer (henceforth a "SOI film"), soft error resistance will improve by leaps and bounds. Although drawing 11 is a n channel silicon-on-insulator desubstrate, since the so-called substrate suspension effect by the electron hole (hole) accumulated in the channel field arises as shown in drawing 12, this n channel silicon-on-insulator desubstrate has the defect that drain breakdown voltage is low as compared with bulk MOSFET. Moreover, the conventional n channel silicon-on-insulator desubstrate also has the problem of instability, such as a current over shoot in switching operation, as shown in drawing 13, and it has been a practical big problem.

[0003] The structure which used the narrow material of a band gap (forbidden-band width of face)  $E_g$  for the source field to the channel field of MOSFET as a cure against the substrate suspension effect in such n channel SOI and an element is proposed (JP,1-255252,A). By narrowing the band gap  $E_g$  of the semiconductor material which constitutes a source field in MOSFET indicated by JP,1-255252,A, the are recording in the channel of an electron hole constituting the main cause of the substrate suspension effect can prevent effectively.

[0004] To MOSFET which makes Si a channel field, as a narrow material of a band gap, the most typical thing is Six germanium  $1-x$  ( $0 < x < 1$ ), and shows one of the SOI-MOSFET using this to drawing 14 (a). The SOI insulator layers 202, such as an oxide film, are formed on the Si substrate 201 used as a base substrate, the SOI film 203 of p mold used as a barrier layer is formed on it, and n channel SOI-MOSFET of drawing 14 (a) is  $n^+$  in a part of this SOI film. The source / drain field 206 is formed. The feature of drawing 14 (a) is this  $n^+$ . It is Six germanium  $1-x$  to the interior of the source / drain field 206. It is the point that the layer 207 is formed.  $n^+$  The source field 206 and  $n^+$  The point that gate oxide 25 is formed in the upper part of the channel field 203 which consists of a p mold SOI film inserted into the

drain field 206, and the gate electrodes 26, such as polish recon, are formed on it is the same as that of usual n channel MOS FET.

[0005] The potential profile of n channel SOI and MOSFET of drawing 14 (a) is shown in drawing 14 (b). In such an MOSFET, as shown in drawing 14 (b), it is clear experimentally by the simulation the hole current's which can narrow the band gap of a source field to the location of a dashed line, and flows inside n+ source field to increase exponentially. For example, the current potential property of n channel SOI-MOSFET of 0.5 micrometers of channel length is shown in drawing 15. A continuous line is measured among the current potential properties shown in drawing 15 about SOI and MOSFET which carried out the ion implantation of the germanium ion by dose  $\phi=3 \times 10^{16} \text{cm}^{-2}$  in acceleration voltage  $V_{ac}=50 \text{kV}$ . It turns out that drain breakdown voltage has improved n channel MOS FET which has the SiGe layer which shows only Si shown with a dashed line in drawing 15 as a continuous line to n channel MOS FET made into the source / drain field (he has no SiGe field) inside the source / drain field V or more [ 1 ].

[0006] n channel SOI-MOSFET as showed cross-section structure to drawing 14 (a) is manufactured by the following manufacturing processes. first, SIMOX (Separation by IMplanted OXygen) -- a SOI substrate is created using law. That is, by carrying out the ion implantation of the oxygen ion, and heat-treating it to a silicon substrate 201, the embedding oxide film (SOI insulator layer) 202 is formed so that the upper silicon film (SOI film) 203 and the lower layer silicon substrate 201 may be separated. And in order to decompose electrically between the elements which adjoin to the upper SOI film 203, LOCOS [ area of exposed oxide / used as the isolation region between elements / field ] (Local Oxidation of Silicon) using  $\text{Si}_3\text{N}_4$  film etc. -- it forms by law etc. (however, in drawing 14 (a), although illustration of the isolation region between elements is omitted) It will be understood easily that it is in the location of the both sides [ portion / illustration ] shifted. Then,  $\text{Si}_3\text{N}_4$  used for the LOCOS method A film etc. is removed, the surface of the element formation field (active region) 203 surrounded by the field area of exposed oxide is exposed, and gate oxide 25 is formed in the surface of the exposed active region (SOI film) 203 by the oxidizing [ thermally ] method etc. and next and a this top -- LPCVD (Low Pressure Chemical Vapour Deposition) -- the polish recon film 26 by law etc. is formed. and a photograph lithography production process -- a resist pattern -- the upper part of the gate electrode schedule field portion of the polish recon film 26 -- forming -- this resist pattern -- a mask -- carrying out -- RIE (Reactive Ion Etchin) -- the polish recon gate electrode 26 and gate oxide 25 are formed by law etc. And n+ Using the polish recon gate electrode 26, the ion implantation of the n mold impurity ion, such as As for the source / drain field 206 formation, is carried out in self align, and it is heat-treated. Then, if it heat-treats by carrying out the ion implantation of the germanium to this source / drain field 206 and the SiGe layer 207 is formed in the interior of the source / drain field 206, n channel SOI-MOSFET as shown in drawing 14 (a) will be completed. In fact, after this, although interlayer insulation films, such as an oxide film, a PSG film, and a BPSG film, are further deposited on the surface, the opening for electrode contact (contact hole) is formed into this interlayer insulation film and metallization production processes, such as the source / drain metal-electrode wiring, are performed, illustration is omitted here.

[0007]

[Problem(s) to be Solved by the Invention] On the other hand, about p channel SOI-MOSFET, the substrate suspension effect did not attract big attention for a thing, like drain breakdown voltage is high till recently. The thing with high drain breakdown voltage is because it is that the current driving force of p channel SOI-MOSFET is small compared with it of n channel SOI-MOSFET, and the impact ionization rate to the electron of the electron hole by the electric field near the drain is small. However, by the detailed experiment by the artificer of this invention, the current driving force increases also in p channel SOI-MOSFET, the rise of the electric field near the drain takes place with detailed-izing of the LSI pattern using the element of 0.5 micrometers or less of gate length etc., and it is already becoming clear gradually that it is becoming impossible to disregard the substrate suspension effect. For example, it is becoming clear that the kink in  $I_d$ - $V_d$  \*\*\*\*\* is seen also by p channel SOI-MOSFET as shown in drawing 16 (a), or that an unusual reduction of the threshold coefficient in a pentode field as shown in

drawing 16 (b) appears. These unusual properties become the cause which forms "a strain" of the output wave in an analog circuit like the case of n channel SOI-MOSFET, and cause the fall of the threshold in a pentode field. the case where it uses for a CMOS inverter circuit as shows p channel SOI-MOSFET (continuous line) to which drain pressure-proofing fell as compared with the bulk MOSFET (dashed line) as furthermore shown in drawing 17 (a) to drawing 17 (b) -- setting -- an input -- a high level (High) -- even if -- an output is not set to a low (Low) but the problem that an output does not take a full swing is caused.

[0008] It is offering the new structure which can control the substrate suspension effect containing p channel SOI and MOSFET it is becoming impossible to disregard the purpose of this invention in the structure of 0.5 micrometers or less of gate length made detailed in view of the trouble described above of semiconductor devices, such as pMOSLSI and CMOSLSI.

[0009]

[Means for Solving the Problem] The 1st semiconductor region of n mold with which this invention was formed on the 1st insulator layer in order to attain the above-mentioned purpose, It is the semiconductor device which contains at least a transistor which has a gate electrode which controls current which flows this 1st semiconductor region through the 2nd insulator layer as a gate insulator layer formed in the upper part of a source field, a drain field, and this 1st semiconductor region. p mold impurity element is contained in this source and a drain field. a part of one [ at least ] field [ at least ] of this source and a drain field -- or it is all -- it is -- a channel field is reached in part -- it is characterized [ 1st ] by until consisting of the 2nd semiconductor region where the forbidden-band width of face (band gap)  $E_g$  is smaller than said 1st semiconductor region.

[0010] The 1st semiconductor region of n mold with which this invention was formed on the 1st insulator layer in order to attain the above-mentioned purpose furthermore, It is the semiconductor device which contains at least a transistor which has a source field, a drain field, and a gate electrode that controls current which flows this 1st semiconductor region through a gate insulator layer formed in the upper part of this 1st semiconductor region. p mold impurity element is contained in this source and a drain field. It is characterized [ 2nd ] by forming in both the upper part of one [ at least ] field of this source and a drain field, the lower part or the upper part, and the lower part the 2nd semiconductor region where the forbidden-band width of face  $E_g$  is smaller than said 1st semiconductor region.

[0011] When the 1st semiconductor region is set to Si as the 2nd small semiconductor region of this band gap  $E_g$ , a material of Si system is desirable, and they are specifically Six germanium 1-x and Six Sn 1-x. It is desirable.

[0012] Moreover, Si which carries out entailment of the distortion in the direction in which a lattice constant becomes large as the 2nd semiconductor region is sufficient. It is crystal growth of formation of a SiGe (there is no change of lattice constant) layer (or SiSn layer) which does not receive Selection CVD and distortion of a up to [ an ion implantation to the inside of Si of germanium or Sn, and Si of a SiGe layer (a SiSn layer etc. is sufficient instead of SiGe) ] as the formation method of these materials, and Si to a it top, and  $\text{CaF}_2$ . A layer and  $\text{CaSrF}_2$  What is necessary is just to perform crystal growth of Si to a layer top etc.

[0013] It is p+ of the 1st semiconductor region which consists of Si etc. when based on CVD of the SiGe layer 238,239 shown in drawing 5 . It means that the 2nd semiconductor region 238,239 where the forbidden-band width of face  $E_g$  is small was formed in the upper part of the source / drain field 312,313. Moreover, it is p+ when Si layer 45a is grown up on the SiGe layer 44 shown in drawing 7 . The 2nd semiconductor region is formed in the lower part of the source field 409, and it is p+ further. As for the source field itself, in response to distortion, a band gap  $E_g$  is small.

[0014] Drawing 1 (a) is p+ as most fundamental example. All of source fields are formed in a SiGe layer, and it is p+. Band drawing at the time of narrowing the band gap  $E_g$  of only a source field uniformly is shown. It is Six germanium 1-x to Si. Since only  $\Delta E_v$  of a band gap is narrow, it will have the discontinuity of a band of  $\Delta E_v$  in a valence-band side. Energy barrier  $\phi_1$  over an inflow in the direction of the source of an electron which collected on the channel section by this discontinuity It decreases, as shown in drawing 1 (a). p+ of an electron accumulated in the channel section by this An

inflow to a source field is promoted and the substrate suspension effect is controlled. A theory top is a heterojunction interface and p+ like drawing 1 (a). Although it is desirable for a source field edge to be in agreement, becoming like drawing 1 (b) is also considered from on a manufacturing technology. That is, drawing 1 (b) is p+. A SiGe/Si heterojunction interface when a part of source field is a SiGe layer is p+. Band drawing in a case of being all over a source field is shown. In this case, p+ An electron with which this Si section was accumulated in a channel 10nm or less when tunnel current would flow, if it considered as a film extremely although an obstruction over an electron with which only a part to which Si exists all over a source field collected on a channel became high is p+. It is sucked out by source field. Manufacturing thickness of the Si section in precision of 10nm or less can be controlled by selection of heat treatment conditions etc. comparatively easily. Furthermore, it is Six germanium 1-x. Si portion shown in drawing 1 (b) since promotion of extrusion of an electron from the channel section by increment in recombination velocity of a carrier in inside also takes place is p+. The substrate suspension effect control of p channel SOI-MOSFET is possible also with structure which exists in a source field. However, the A section shown in drawing 1 (b) at this time is p+ in order to work in the direction which controls a flow of an electron hole which is transistor current. Impurity density (nSiGe and nSi) of a source field p mold is good to make it as high as possible and to make it not overdue [ a flow of an electron hole here ].

[0015] When it says from a viewpoint of drawing to the source of an electron which collected on a channel on the other hand, it is p+ to the impurity density nSiGe of the SiGe section. If impurity density nsi of the Si section of a source field is made low, since it becomes band drawing as shown in drawing 1 (c) and an obstruction over an electron can be set to value  $\Delta E$  ( $< \Delta E_v$ ) smaller than  $\Delta E_v$ , it is more effective than a case of drawing 1 (b). Moreover, it is Six germanium 1-x from drawing 1 (a). Structure included in a channel side is sufficient, and the drawing effect to the inside of the source of the above electrons arises also in this case.

[0016]

[Embodiment of the Invention] Drawing 2 (a) shows the cross-section structure of p channel SOI-MOSFET concerning the gestalt of operation of the 1st of this invention. The n mold SOI film 23 which serves as the 1st semiconductor region of n mold through the embedding oxide film 202 used as the 1st insulator layer (SOI insulator layer) is formed in the upper part of n mold (100) silicon substrate 21 which turns into a base substrate in drawing 2 (a). And isolation is made with the thermal oxidation film 24 formed deeply until it embeds the n mold SOI film 23 from the surface of the SOI film 23 and it reaches an oxide film 202. And it is p+ to the interior of this active region, using as an active region the field of the n mold SOI film 23 detached by this element. The source field 216 and p+ It is formed so that the drain field 226 may embed that pars basilaris ossis occipitalis and may touch an oxide film 202. p+ The source field 216 and p+ The silicon germanium (SiGe) field 217,227 containing boron (B) is formed in the interior of the drain field 226, and the source metal electrode 218 and the drain metal electrode 228 are formed in the upper part of this SiGe field 217,227 through the contact hole which the interlayer insulation films 211, such as an oxide film (SiO<sub>2</sub> film), a PSG film, and a BPSG film, were formed, and was formed into this interlayer insulation film 211. Drawing 2 (a) is p+ which is exaggerated type section drawing and was protruded from the SiGe field 217,227 in practice for convenience. The source / drain field 216,226 is thin fields 10nm or less. Moreover, p+ The source field 216 and p+ The gate electrodes 26, such as polish recon, are formed in the upper part of the channel field 23 inserted into the drain field 226 through the gate oxide 25 used as the 2nd insulator layer. The thin oxide film 27 called an after oxide film is formed in the surface of the polish recon gate electrode 26. p+ The source field 216 and p+ The drain field 226 is a field which doped p mold impurity elements, such as boron (B), in about [  $6 \times 10^{18}$  to  $6 \times 10^{20} \text{cm}^{-3}$  ] three high impurity density.

[0017] Drawing 2 (b) is drawing showing the drain current ( $I_d$ )-drain voltage ( $V_d$ ) property of p channel SOI and MOSFET of the simple substance concerning the 1st example of this invention as compared with the example of reference. The  $I_d$ - $V_d$  property shown in drawing 2 (b) is a thing about p channel SOI-MOSFET with  $L = 0.4$  micrometers [ of gate length ], and a gate width of  $W = 100$  micrometers, and a continuous line is germanium+. It is the property of the simple substance element which drove in ion

by 25KeV(s) dose  $3 \times 10^{16} \text{cm}^{-2}$ , and formed the p+-SiGe field 217,227, and a dashed line is the property of a simple substance element (example of reference) of not having a corresponding p+-SiGe field. p+ of the electron accumulated in the channel section by having the p+-SiGe field 217,227. It turns out that the inflow to a source field was promoted and drain breakdown voltage has improved V or more [ 1 ].

[0018] p channel SOI-MOSFET shown in drawing 2 (a) can be manufactured by the method shown in drawing 3 (a) - drawing 3 (d).

[0019] (b) Form the embedding oxide film (SOI oxide film) 202 with a thickness of 100nm in a place with a depth of 200nm from the silicon surface by the so-called SIMOX method which injects oxygen into the Si substrate 21 of n mold (100) by acceleration voltage 180KeV and dose  $2 \times 10^{18} \text{cm}^{-2}$ , and is first heat-treated at 1300 degrees C for 5 hours. At this time, about 200nm (SOI film) of single-crystal-silicon films 23 is formed in the upper part of the SOI oxide film 202. Next, the SOI film 23 is made thin to 100nm thickness by oxidizing the surface of the SOI film 23 thermally and carrying out etching removal of this oxide film with a  $\text{NH}_4\text{F}$  solution etc.

[0020] (b) Next, with selective oxidation technology, such as the LOCOS method, form the element demarcation membrane 24 and separate between the adjoining elements electrically. Next, gate oxide 25 is formed in the thickness of 5nm, the polycrystal (polish recon) Si 26 which doped boron (B)  $10^{20} \text{cm}^{-3}$  is deposited on the thickness of about 200nm with a CVD method, and the configuration shown in drawing 3 (a) using a photolithography production process is processed as a gate electrode 26. For example, a gate electrode is processed into  $L = 0.4$  micrometers of gate length, and a size with a gate width of  $W = 10$  micrometers. Next, the whole surface is oxidized and the with a thickness of 5nm after oxide film 27 is formed in the polycrystal Si surface (upper surface and side).

[0021] (c) Next, as shown in drawing 3 (b), form the Si layer ( $\text{Si}_{0.9}\text{germanium}_{0.1}$  -  $\text{Si}_{0.7}\text{germanium}_{0.3}$  layer) 28 which carries out the ion implantation of the germanium by acceleration voltage 30KeV and dose  $1-3 \times 10^{16} \text{cm}^{-2}$ , and contains germanium about 10 to 30% by peak concentration.

[0022] (d) Next deposit 20nm of SiN films on the whole surface, and by carrying out overall etching after that, as shown in drawing 3 (c), form the side wall SiN film 29 in the side wall of a polycrystal silicon-gate electrode. Furthermore, it is  $\text{BF}_2^+$ . It is p+ of SiGe by carrying out an ion implantation by acceleration voltage 20KeV and dose  $3 \times 10^{15} \text{cm}^{-2}$ , and carrying out annealing for 30 minutes in nitrogen-gas-atmosphere mind at 850 degrees C after that. p+ of a layer 217,227 and Si A layer 216,226 is formed.

[0023] (e) Furthermore, it is  $\text{SiO}_2$  by a CVD method etc. to the whole surface. 300nm of interlayer insulation films 211, such as a film, a PSG film, and a BPSG film, is deposited. The hole for contact is opened in the predetermined portion in this interlayer insulation film 211. Wiring material, For example, if the source metal electrode 218 and the drain metal electrode 228 are formed by depositing Si, 400nm (aluminum-Si, aluminum-Cu-Si) of aluminum of Cu content etc., etc. on the whole surface, and processing it as shown in drawing 3 (d) p channel SOI-MOSFET of the gestalt of operation of the 1st of this invention is completed.

[0024] All source fields are not set to SiGe in the example of structure shown in drawing 2, but a heterojunction interface is p+. Although it is in the interior of a source field, drawing 1 (a) - (c) is used, and it is above-mentioned passage p+. As for a source field edge and a heterojunction interface, it is desirable that it is in agreement. However, all source fields do not necessarily need to be SiGe(s) and the source section which is in contact with the channel field as shown in drawing 1 (b) and (c) may be the structure where the about 10nm [ at most ] p+-Si field 216 remains. The thickness of a p+-Si portion is p+.  $\text{BF}_2^+$  the source / for drain fields It is controllable by adjustment of the about 850-900-degree C annealing time amount after an ion implantation. If it becomes what, on the diffusion conditions of this temperature degree, the diffusion in Si of germanium will be because it is small to the degree which can be disregarded. Furthermore, it will be p+ if annealing time amount is adjusted. A potential profile as made a source field edge and a heterojunction interface in agreement and shown in drawing 1 (a) can also be obtained. It can also make it easy to realize the form where the impurity density  $n_{\text{Si}}$  of a source Si section like drawing 1 (c) becomes lower than the impurity density  $n_{\text{SiGe}}$  of the source SiGe section by annealing which promotes diffusion of such B. Moreover, it is germanium+ although incidence (ion



implantation) of the germanium ion was perpendicularly carried out to Si substrate with the gestalt of this operation. In order to prevent the channeling of ion, few tilt angles (for example, 7 degrees) may be given, and the location of a hetero interface may be controlled. Moreover, germanium+ In order to carry out incidence of the ion to the place more near a channel, impregnation by the so-called rotation ion implantation (slanting ion implantation) leaned about 40 degrees may be performed.

[0025] Moreover, although SiGe is used as a narrow material of a band gap with the gestalt of operation of the 1st of this invention, it is not restricted to SiGe but other materials with a band gap narrower than Si of Si system may be used. For example, the alloy of Sn and Si is sufficient.

[0026] p+ although the impurity for the stratification is used as boron (B) by top description -- other III (s), such as an indium (In) or a gallium (Ga), A group's impurity may be used. Although it is not made SALICIDE (Self Aligned Silicide) structure in the above-mentioned explanation, when parasitism resistance needs to be reduction-ized, naturally SALICIDE structure can also be applied. Moreover, at the structure shown in drawing 2 (a), it is p+. Although both the source / drain field are SiGe, the effect of this invention is not lost as for SiGe only in the source section. Moreover, even if SiGe enters into a channel, the effect of this invention is not lost. Band drawing in this case is close to drawing 1 (a), and the band break point of  $\Delta E_v$  in a valence band only moves it to a channel side for a while.

[0027] Although the polycrystal Si of the gate has described the thing of p mold doped polysilicon of a boron (B) dope, n mold doped polysilicon, such as the Lynn (P) dope, is sufficient as it, and a polycide (two-layer structure of Polycrystal Si and silicide) is sufficient as it. Moreover, refractory metals, such as W, Ti, and Mo, and other metals may be used for a gate material.

[0028] Drawing 4 shows the cross-section structure of p channel SOI-MOSFET concerning the gestalt of operation of the 2nd of this invention. In drawing 4, the n mold SOI film 23 which serves as the 1st semiconductor region of n mold through the embedding oxide film 202 used as the 1st insulator layer is formed in the upper part of n mold (100) silicon substrate 21. And isolation is made with the thermal oxidation film 24 formed deeply until it embeds the n mold SOI film 23 from the surface of the SOI film 203 and it reaches an oxide film 202. And it is p+ to the interior of this active region, using as an active region the field of the SOI film 23 detached by this element. The source field 312 and p+ It is formed so that the drain field 313 may embed that pars basilaris ossis occipitalis and may touch an oxide film 202. p+ The source field 312 and p+ The p+-SiGe field 238,239 containing the boron (B) used as the 2nd semiconductor region is formed in the upper part of the drain field 313. An interlayer insulation film 211 is formed in the upper part of the SiGe field 238,239, and the source metal electrode 218 and the drain metal electrode 228 are formed to the SiGe field 238,239 through the contact hole formed into the interlayer insulation film 211. Moreover, p+ The source field 312 and p+ The gate electrodes 26, such as polish recon, are formed in the upper part of the channel field 23 which consists of the 1st semiconductor region inserted into the drain field 313 through gate oxide (gate insulator layer) 25. The thin oxide film 27 called an after oxide film is formed in the surface of the polish recon gate electrode 26. p+ The source field 312 and p+ The drain field 313 is a field which doped p mold impurities, such as boron (B), in about [  $6 \times 10^{18}$  to  $1 \times 10^{20} \text{cm}^{-3}$  ] three high impurity density.

[0029] p channel SOI-MOSFET concerning the gestalt of operation of the 2nd of this invention can be manufactured by the manufacture method as shown in drawing 5 (a) - (c).

[0030] (b) SIMOX -- using the SOI substrate (SIMOX-SOI substrate) by law etc., and this SIMOX-SOI substrate -- receiving -- LOCOS -- it is the same as that of the gestalt of operation of the 1st of this invention till the place which carries out gate oxidation, processes the polycrystal Si film 26 of B dope as a gate electrode after the isolation using law, heat-treats the whole surface in an oxidizing atmosphere, and forms the after oxide film 27.

[0031] Next, if a SiN film is deposited on the whole surface at the thickness of 20nm and whole surface etchback is covered, as shown in the side wall of a gate electrode at drawing 5 (a), the side wall SiN film 29 will be formed.

[0032] (b) Next, it is SiH<sub>4</sub>. Gas and GeH<sub>4</sub> As shown in drawing 5 (b), the SiGe layer 238,239 is alternatively deposited on Si surface of the portion which the n mold SOI film exposed with the CVD method using the reaction of gas by the thickness of 100nm. Next, B+  $3 \times 10^{15} \text{cm}^{-2}$  ion implantation is

carried out by 30KeV(s).

[0033] (c) By carrying out annealing for 30 minutes in the substrate temperature of 850 degrees C, and nitrogen-gas-atmosphere mind continuously, include the SiGe layer 239 and Si under it is also p+. It is made a layer and is p+-SiGe field 238,239p+. The source field 312 and p+ The drain field 313 is formed. As furthermore shown in drawing 5 (c), it is SiO<sub>2</sub> by a CVD method etc. to the whole surface. The interlayer insulation films 211, such as a film, are deposited on the thickness of 300nm, a contact hole is opened into this interlayer insulation film 211, and if wiring material, for example, Si, and 400nm of aluminum of Cu content are deposited on the whole surface, it is processed and the source metal electrode 218 and the drain metal electrode 228 are formed, p channel SOI-MOSFET of the gestalt of operation of the 2nd of this invention will be completed.

[0034] p+ since the SiGe layer 238,239 is formed by CVD on the n mold SOI film 23 with the gestalt of operation of the 2nd of this invention Among the source / drain field, the portion near a channel is Si and becomes drawing 1 (b) and the same thing as (c) as band drawing. In the case of the gestalt of operation of the 2nd of this invention, the size (distance) of Si field between this SiGe edge and a channel field is mainly adjusted by the thickness of the gate side wall 29, and the thickness of the SOI film 23.

[0035] It is the structure which does not have a side wall SiN film in the side wall section of the gate electrode 26 as shown in drawing 6 as a modification of the gestalt of operation of the 2nd of this invention. After the structure of drawing 6 performing whole surface etchback after formation of the after oxide film 27 and removing only it on the n mold SOI film 23, The SiGe layer 238,239 is formed by the thickness of 100nm by Selection CVD. After that B+ An ion implantation is performed and they are the SiGe layer 238,239 and the n mold SOI film 23 under it p+ It is made a layer and the p+-SiGe source field 238, the p+-SiGe drain field 239, the p+-Si source field 312, and the p+-Si drain field 313 are formed. The subsequent production process is the same as the above.

[0036] explanation of the manufacture method of the gestalt operation of the 2nd of above-mentioned this invention -- B+ although the case where an ion implantation was used was explained -- BF<sub>2</sub>+ the ion implantation by the ion of a compound molecule [ like ] -- you may use -- In+ Ga+ instead, an ion implantation -- carrying out -- p+ A layer may be formed. Moreover, it is also possible to apply SALICIDE structure. Although installation of p mold impurities, such as B, is furthermore performed after deposition of the SiGe layer 238,239 above Since p mold impurity is beforehand introduced by the ion implantation etc. into the n mold SOI film 23, the SiGe layer 238,239 is deposited. after that -- further -- the inside of the SiGe layer 238,239 -- installation of the impurity of p mold -- you may carry out -- the inside of CVD gas -- BH<sub>3</sub> and B-2 H<sub>6</sub> etc. -- gas -- introducing -- SiGe deposition, simultaneously p+-izing, the narrow semiconductor of a band gap -- Six germanium 1-x it is not necessary to be -- Six Sn 1-x, germanium, etc. may be used.

[0037] Drawing 7 shows the cross-section structure of p channel SOI-MOSFET concerning the gestalt of operation of the 3rd of this invention. In drawing 7, the n mold SOI film 231 is formed in the upper part of n mold (100) silicon substrate 21 through the embedding oxide film 202 used as the 1st insulator layer. and -- n -- a mold -- SOI -- a film -- 231 -- a part -- the upper part -- \*\*\*\* -- the -- two -- a semiconductor region -- becoming -- silicon -- germanium (SiGe) -- a film -- 44 -- forming -- having -- SiGe -- a film -- 44 -- a top -- and -- SiGe -- a film -- 44 -- forming -- having -- \*\*\*\* -- n -- a mold -- SOI -- a film -- 231 -- the upper part -- \*\*\*\* -- the -- one -- a semiconductor region -- becoming -- n -- a mold -- silicon -- (-- Si --) -- a film -- 45 -- forming -- having -- \*\*\*\* . It is SiO<sub>2</sub> until it reaches the n mold SOI film 231 from the surface of the n mold Si film 45. The isolation insulator layers 24, such as a film, are formed. The isolation insulator layer 24 may be deeply formed until it embeds it further from the surface of the n mold SOI film 231 and it reaches an oxide film 202. And it is p+ to the interior of this active region, using as an active region the field of the n mold Si film 45 detached by this element. The source field 409 and p+ The drain field 226 is formed and it is p+. To the SiGe film 44, the source field 409 is that pars basilaris ossis occipitalis p+ The drain field 410 is formed so that that pars basilaris ossis occipitalis may be embedded and an oxide film 202 may be touched. This p+ The source field 409 and p+ The source metal electrode 218 and the drain metal electrode 228 are formed to the drain field 410 through the contact hole formed into the interlayer insulation film 211. Moreover, p+ The source

field 409 and p+ The gate electrodes 26, such as polish recon, are formed in the upper part of the n mold Si film 45 used as the channel field between the drain fields 410 through the gate insulator layer (gate oxide) 25. p+ The source field 409 and p+ The drain field 410 is a field which doped p mold impurity elements, such as boron (B), in about  $[6 \times 10^{18} \text{ to } 1 \times 10^{20} \text{ cm}^{-2}]$  three high impurity density.

[0038] According to the gestalt of operation of the 3rd of this invention, it is p+. Si layer used as the source field 409 is formed on the SiGe layer 44 with a large lattice constant, and serves as a distortion silicon film from Si. p+ By forming the source field 409 with distortion silicon, compared with the case of MOSFET of the usual silicon system, the band gap  $E_g$  of the source  $\Delta E_g$  is too (for example,  $\Delta E_g = \sim 0.2 \text{ eV}$  is  $\Delta E_g$ ), consequently the electron flow from a channel to the direction of the source can be promoted sharply.

[0039] p channel SOI-MOSFET of the gestalt of operation of the 3rd of this invention can be manufactured by the method shown in drawing 8 (a) - (f). namely, (\*\*) -- while forming the embedding oxide film (SOI oxide film) 202 with a thickness of 100nm in a portion with a depth of 200nm from the surface by performing 1300 degrees C and heat treatment of 5 hours as shown in drawing 8 (a) after injecting oxygen ion into n mold (100) silicon substrate 21 on condition that acceleration voltage 180KeV and dose  $2 \times 10^{18} \text{ cm}^{-2}$ , the SOI film 231 of n mold is formed in the substrate surface. In addition, although the SIMOX method was mentioned as the example as the formation method of a SOI substrate, a lamination method (Silicon Direct Bonding: SDB law) may be used here (the same is said of the case of other operation gestalten). Next, after oxidizing thermally the surface of the SOI film 231 of n mold, the production process of carrying out etching removal of this oxide-film portion with a  $\text{NH}_4 \text{F}$  solution is repeated, and the n mold SOI film 231 is made thin to 10nm.

[0040] (b) Next, as shown in drawing 8 (b), form the SiGe film 44 with a thickness [ of 50% of germanium concentration ] of 30nm with a CVD method on the n mold SOI film 231. At this time, since germanium concentration is high, the SiGe film 44 grows exceeding that critical thickness. Therefore, it does not have consistency with the lattice constant of Si of the n mold SOI film 231 of a substrate, and the  $\text{Si}_x\text{Ge}_{1-x}$  film ( $0 < x < 1$ ) 44 is  $\text{Si}_x\text{Ge}_{1-x}$ . It grows up with an original lattice constant. Next, as shown in drawing 8 (c), a photolithography and RIE are used, and it is the SiGe film 44 p+ It is made to save only on the SOI film 231 of a source field and the becoming field.

[0041] (d) As shown in drawing 8 (d) below, it is  $\text{SiH}_4$  as a raw material. With a CVD method with a membrane formation temperature of 550 degrees C used, n mold silicon (Si) films 45 and 45a with a thickness of 80nm are formed in the whole surface. At this time, partial 45a on the SiGe film 44 receives breadth distortion among the n mold Si films 45 and 45a, and it is  $\text{Si}_x\text{Ge}_{1-x}$ . It grows up with a lattice constant and becomes a distortion n mold Si film. Since the substrate is the n mold SOI film 231, other portions do not receive distortion, but they grow with the lattice constant of Si original, and serve as the undistorted n mold Si film 45.

[0042] (e) it is shown in drawing 8 (e) below -- as -- CMP (chemical Mechanical Polishing: chemical mechanical polishing) -- carry out flattening of the surface of the n mold Si films 45 and 45a by technique, such as law, and form the isolation insulator layer 24 around the portion used as a barrier layer after flush-izing. And sequential formation of silicon oxide with a thickness of 5nm it is thin to gate oxide 25 on the n mold Si film 45, and the boron doped polysilicon film with a thickness of 300nm it is thin to the gate electrode 26 is carried out. In addition, since \*\*\*\* with the n mold Si films 45 and 45a is about 30nm, flattening by the CMP method etc. is not performed, but it leaves \*\*\*\*, and you may use as criteria for mask alignment in photolithography etc. Next, as shown in drawing 8 (e), pattern NINGU of the above-mentioned doped polysilicon film 26 and the above-mentioned silicon oxide 25 is carried out, and the gate electrode 26 and gate oxide 25 are formed. At this time, it is most desirable to make it come directly under gate electrode 26 edge, as the interface of distortion n mold Si film 45a and the n mold Si film 45 of an undistorted portion shows drawing 8 (e). However, the above-mentioned interface may also enter into a channel, and the above-mentioned interface may be in the place which is distant from a channel from gate electrode 26 edge. Next, he is  $\text{BF}_2$ , using the gate electrode 26 as a mask, as shown in drawing 8 (e). After carrying out the ion implantation of the ion on condition that acceleration voltage 30KeV and dose  $5 \times 10^{15} \text{ cm}^{-2}$ , 850 degrees C and heat treatment for 30 minutes are

performed, and it is p+. The source field 409 and p+ The drain field 410 is formed. At this time, it is p+. Although it is most desirable that it is in agreement with the interface of distortion p-type silicon film 45a and the p-type silicon film 45 of an undistorted portion as for the pn junction of a source field and the n mold Si film 45 of an undistorted portion, the above-mentioned pn junction does not need to be in agreement with the above-mentioned interface.

[0043] (\*\*) Finally, as shown in drawing 8 (f), it is SiO<sub>2</sub> as an interlayer insulation film with a thickness of 400nm to the whole surface. This SiO<sub>2</sub> after forming a film 211 A contact hole is punctured on a film 211, the source metal electrode 218 and the drain metal electrode 228 are formed, gate wiring (un-illustrating) is formed further, and it completes.

[0044] In the case of the gestalt of operation of the 3rd of this invention, they are the SiGe layer 44 and p+. They are two \*\* band gap materials called the distorted silicon layer 409 to coincidence p+ Since it forms as a source field, above-mentioned electron flow is promoted further and is very effective in the substrate suspension effect control of p channel SOI and MOSFET.

[0045] A \*\* band gap material with a lattice constant larger instead of the SiGe layer 44 than other Si, such as a SiSn layer, and forbidden-band width of face smaller than Si may be used.

[0046] Drawing 9 shows the cross-section structure of p channel SOI-MOSFET concerning the gestalt of operation of the 4th of this invention. In drawing 9, the n mold SOI film 255 is formed in the upper part of n mold (100) silicon substrate 21 through the embedding insulator layer 251 used as the 1st insulator layer. As an embedding insulator layer 251, they are Si and CaF<sub>2</sub> with an almost equal lattice constant. A film is used and the part is calcium<sub>1-x</sub> Sr<sub>x</sub> F<sub>2</sub>. It is a film (0 < x < 1) 252. Therefore, calcium<sub>1-x</sub> Sr<sub>x</sub> F<sub>2</sub> The 1st semiconductor region (n mold SOI film) 255 of n mold of the upper part of a film 252 became a distorted Si film, and the band gap has \*\*-ized it. And it is the portion of the SOI 255 which this band gap \*\*-ized p+ It considers as the source field 259 and p+ drain field 260, and the n mold SOI film 255 of an undistorted portion is made into the channel field. And isolation is made with the thermal oxidation film 24 formed deeply until it embeds the SOI film 255 containing a distorted Si film portion from the surface of the SOI film 255 and it reaches an insulator layer 252. And p+ source field 259 and p+ which become the interior of this active region only from a distorted Si film by making into an active region the field of the distortion and the undistorted SOI film 255 which were detached by this element It will be formed so that the drain field 260 may embed that pars basilaris ossis occipitalis and may touch an insulator layer 252. p+ The source field 259 and p+ The source metal electrode 218 and the drain metal electrode 228 are formed to the drain field 260 through the contact hole formed into the interlayer insulation film 211. Moreover, p+ The source field 259 and p+ The gate electrodes 26, such as polish recon, are formed in the upper part of the channel field 255 which is a distortionlessness Si film between the drain fields 260 through gate oxide 25.

[0047] p channel SOI-MOSFET concerning the gestalt of operation of the 4th of this invention can be manufactured by the method shown in drawing 10 (a) - (c).

[0048] (b) it is first shown in drawing 10 (a) -- as -- a silicon substrate 21 top -- CaF<sub>2</sub> a film 251 and the n mold SOI film 255 -- a vapor-phase-epitaxial-growth method and MBE (Molecular Bean Epitaxy) -- sequential formation is carried out by law etc. Next, as shown in drawing 10 (a), after forming the isolation insulator layer 24, gate oxide 25 and the gate electrode 26 are formed on the n mold SOI film 255. Thickness of the n mold SOI film 255 is set to 30nm.

[0049] (b) It is Sr+ ion, using the gate electrode 26 as a mask next, as shown in drawing 10 (b) CaF<sub>2</sub> An ion implantation is carried out by acceleration voltage 80KeV and dose 1x10<sup>17</sup>cm<sup>-2</sup> so that the n mold SOI film 255 may be penetrated on a film 251. Then, it is CaF<sub>2</sub> by heat-treating. It is calcium<sub>1-x</sub> Sr<sub>x</sub> F<sub>2</sub> in some films 52. It is made to change to a film (0 < x < 1) 252, and distortion n mold SOI film 255a is formed in coincidence in self align. The interface of the distortion n mold SOI film 255a and the n mold SOI film 255 of an undistorted portion which are the thereby most desirable gestalt can form now easily the structure which was in agreement with the gate edge.

[0050] (c) it is shown in drawing 10 (c) below -- as -- the gate electrode 26 -- a mask -- carrying out -- B+ 49BF<sub>2</sub>+ etc. -- performing heat treatment, after pouring p mold impurity ion into distortion n mold SOI film 255a -- p+ The source field 259 and p+ The drain field 260 is formed. It is the same as that of

the gestalt of the 1st - the 3rd operation, and a next production process is SiO<sub>2</sub> by a CVD method etc. to the whole surface. If the interlayer insulation films 211, such as a film and a PSG film, are formed and the source metal electrode 218 and the drain metal electrode 228 are formed through the contact hole in this interlayer insulation film, p channel SOI-MOSFET of the gestalt of operation of the 4th of this invention shown in drawing 9 will be completed.

[0051] In the gestalt of the 1st - the 4th operation of the above this invention, although only p channel MOS FET was described, this invention is not restricted to the semiconductor device only using the above p channel MOS FET. This invention can be used also about circuits, such as CMOS-LSI in which not only LSI but n channel MOS FET which uses only p channel MOS FET in operation of this invention is intermingled.

[0052] In addition, according to this invention, in the contact section with wiring material, the energy difference between the valence bands of p<sup>+</sup> semiconductor (the so-called Schottky barrier) decreases from the Fermi level of wiring material according to the band gap of the source section, or the source / drain section being narrow, and contact resistance becomes low. Consequently, the conversion conductance gm of the semiconductor device of this invention increases, and high-speed operation becomes possible.

[0053] Moreover, the narrow material layer of a band gap may be formed in the upper part and the lower part of a source drain field. In addition, not only the gestalt of the above-mentioned implementation but the thing which it deforms variously and is carried out is possible for this invention.

[0054]

[Effect of the Invention] As stated above, according to this invention, the substrate suspension effect of p channel MOS FET with the SOI structure accompanying detailed-izing can be controlled.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DESCRIPTION OF DRAWINGS

## [Brief Description of the Drawings]

[Drawing 1] It is band drawing for explaining the principle of this invention.

[Drawing 2] Drawing 2 (a) is the cross section of p channel SOI-MOSFET concerning the gestalt of implementation of the 1st of invention, and drawing 2 (b) is drawing showing the static characteristic.

[Drawing 3] It is a cross section for explaining the manufacturing process of p channel SOI-MOSFET concerning the gestalt of operation of the 1st of this invention.

[Drawing 4] It is the cross section of p channel SOI-MOSFET concerning the gestalt of operation of the 2nd of this invention.

[Drawing 5] It is a cross section for explaining the manufacturing process of p channel SOI-MOSFET concerning the gestalt of operation of the 2nd of this invention.

[Drawing 6] It is the cross section of p channel SOI-MOSFET concerning the modification of the gestalt of operation of the 2nd of this invention.

[Drawing 7] It is the cross section of p channel SOI-MOSFET concerning the gestalt of operation of the 3rd of this invention.

[Drawing 8] It is a cross section for explaining the manufacturing process of p channel SOI-MOSFET concerning the gestalt of operation of the 3rd of this invention.

[Drawing 9] It is the cross section of p channel SOI-MOSFET concerning the gestalt of operation of the 4th of this invention.

[Drawing 10] It is a cross section for explaining the manufacturing process of p channel SOI-MOSFET concerning the gestalt of operation of the 4th of this invention.

[Drawing 11] It is an example of the structure of conventional n channel SOI-MOSFET.

[Drawing 12] It is drawing for comparing drain pressure-proofing of n channel SOI and MOSFET, and the n channel bulk MOSFET.

[Drawing 13] It is drawing explaining the over shoot of the output current at the time of switching of n channel SOI and MOSFET.

[Drawing 14] Drawing 14 (a) is Six germanium 1-x. It is a field n+ It is the cross section of n channel SOI-MOSFET which it has to the source / drain field, and drawing 14 (b) is the potential profile (band diagram).

[Drawing 15] Six germanium 1-x It is drawing which compares the Id-Vd property of n channel FET which has a field, and n channel FET which it does not have.

[Drawing 16] It is drawing showing the substrate suspension effect of L= 0.2-micrometer p channel SOI-MOSFET.

[Drawing 17] It is drawing ( drawing 17 (b)) for explaining drawing ( drawing 17 (a)) and the CMOS inverter which compare the conventional p channel bulk MOSFET with the I-V property of conventional p channel SOI-MOSFET.

## [Description of Notations]

21 Si Substrates 23 and 45,165,231,255 1st Semiconductor Region: SOI Layer Single-Crystal-Silicon Layer

24 Element Demarcation Membrane  
25 2nd Insulator Layer : Gate Insulator Layer (Gate Oxide)  
26 Gate Polycrystal Si  
27 After Oxide Film  
28 44 The 2nd semiconductor region: SiGe layer  
29 SiN Side Wall  
202 1st Insulator Layer : Embedding Oxide Film (SOI Insulator Layer)  
211 CVD SiO<sub>2</sub>  
216 312 p+ Source field  
217,238 p+-SiGe source field (the 2nd semiconductor region)  
218 Source metal electrode  
226,313,410 p+ Drain field  
227,239 p+-SiGe source field (the 2nd semiconductor region)  
228 Drain Metal Electrode  
251 1st Insulator Layer : CaF<sub>2</sub> Film  
252 Calcium1-X SrX F<sub>2</sub> Film  
255a Distorted Si layer  
259,409 p+ Distorted Si source field  
260 P+ Distorted Si Drain Field

---

[Translation done.]

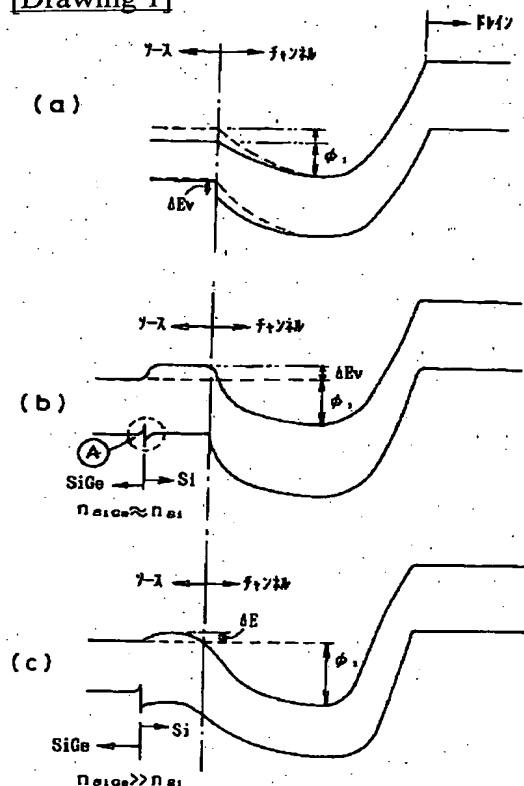
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

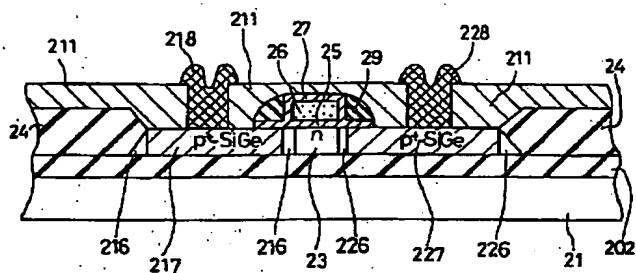
[Drawing 1]



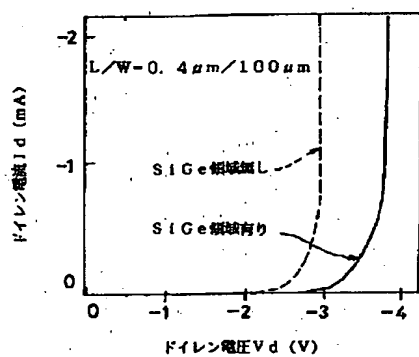
[Drawing 2]



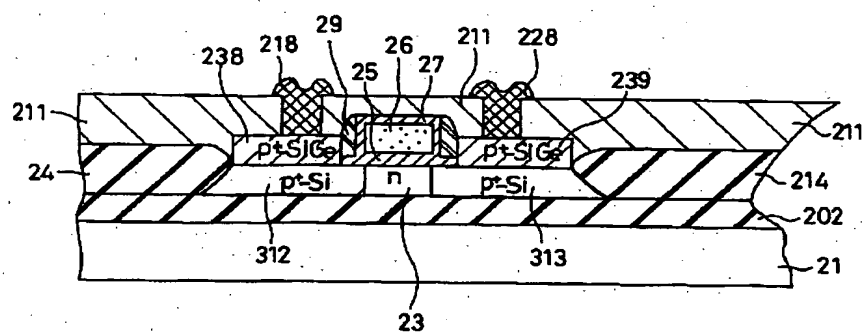
(a)



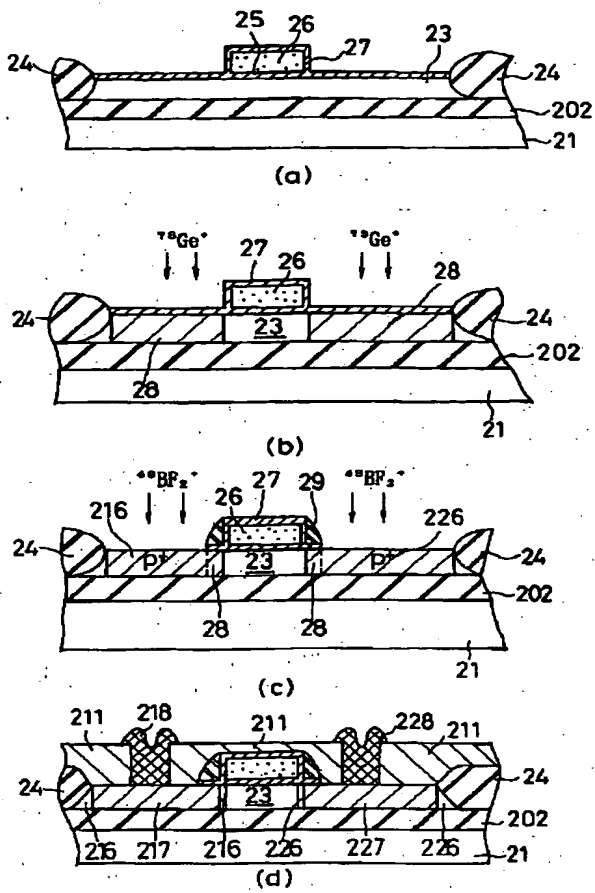
(b)



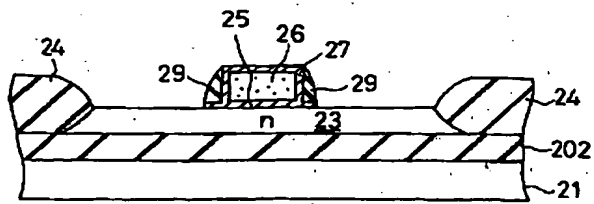
[Drawing 4]



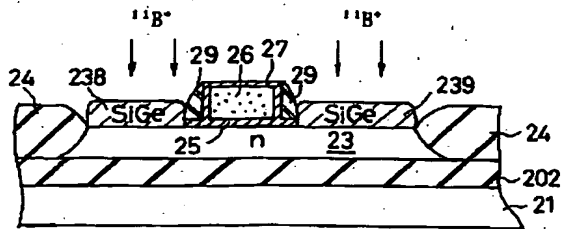
[Drawing 3]



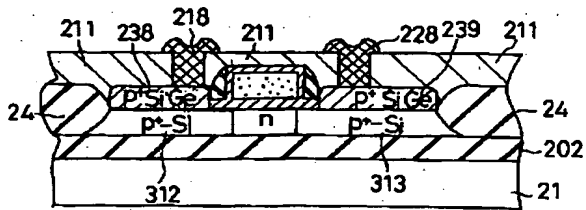
[Drawing 5]



(a)

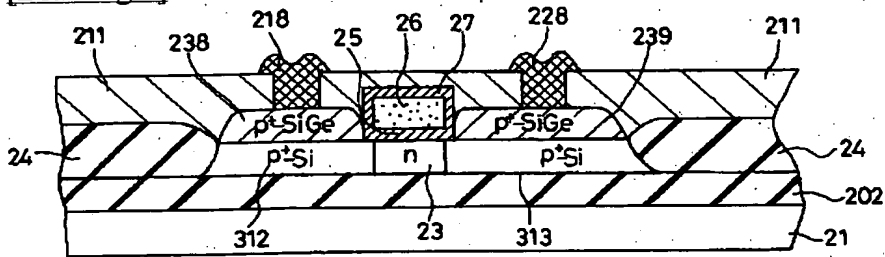


(b)

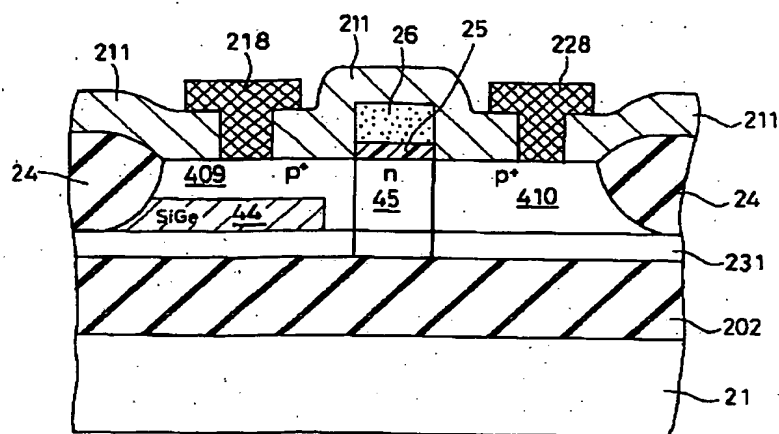


(c)

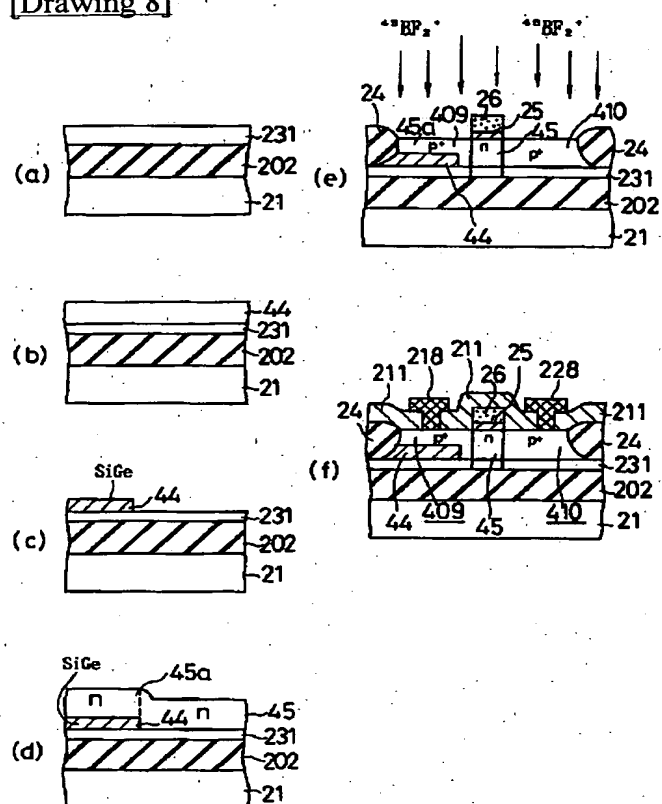
[Drawing 6]



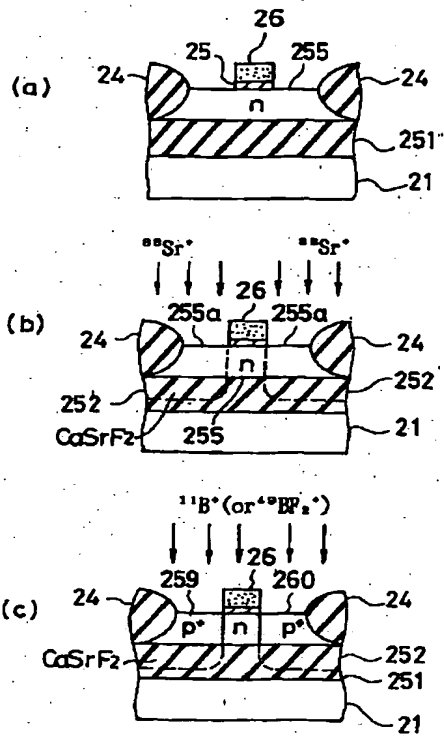
[Drawing 7]



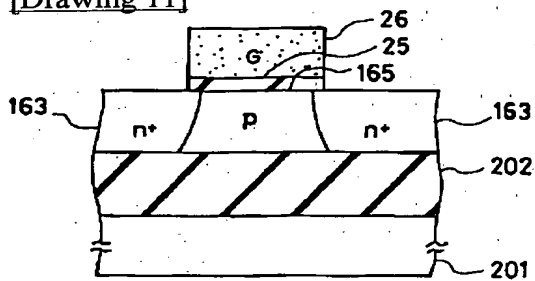
[Drawing 8]



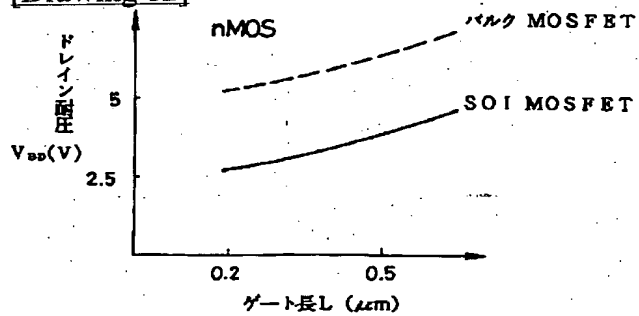
[Drawing 10]



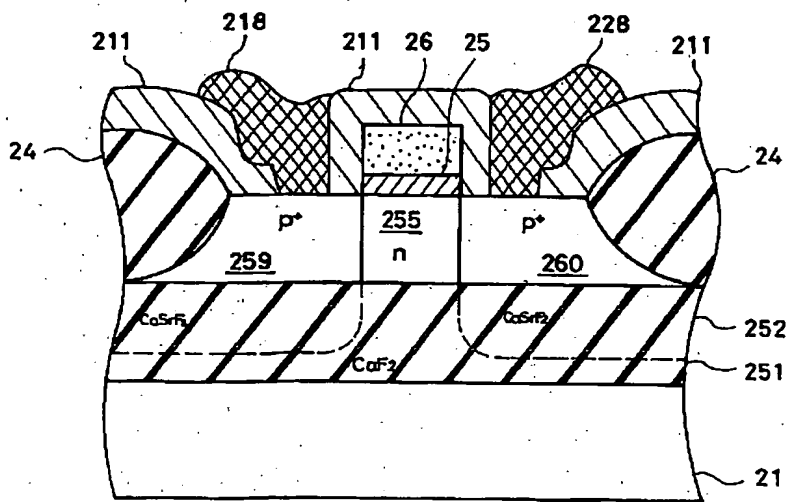
[Drawing 11]



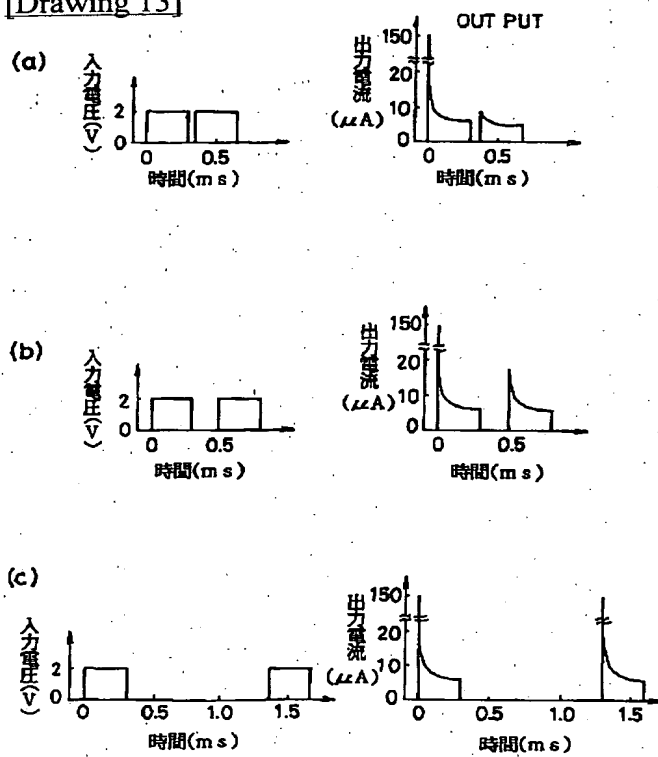
[Drawing 12]



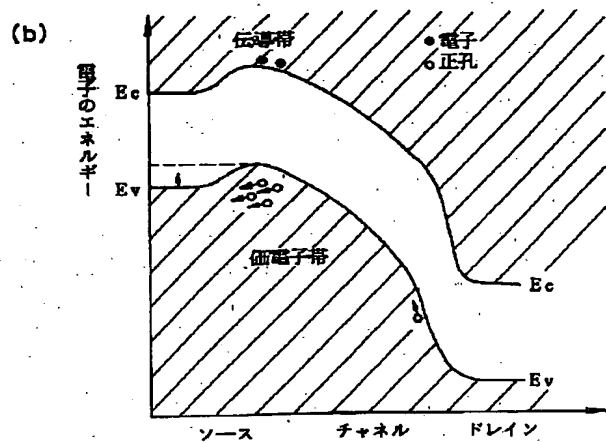
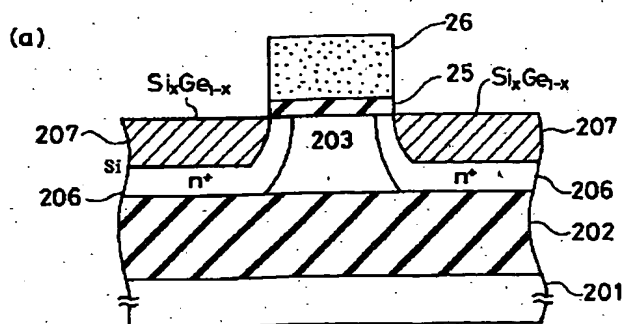
[Drawing 9]



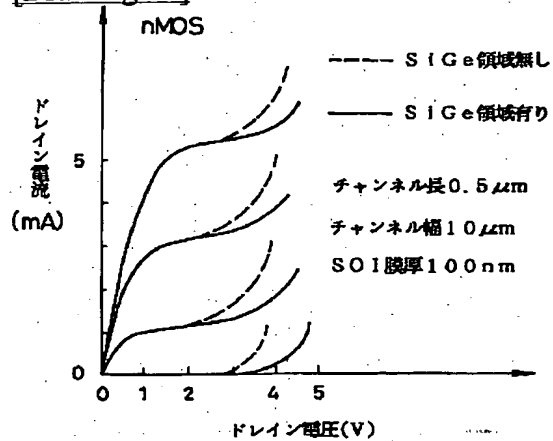
[Drawing 13]



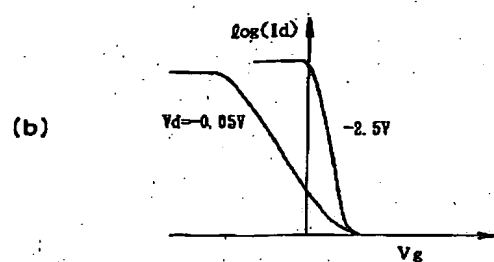
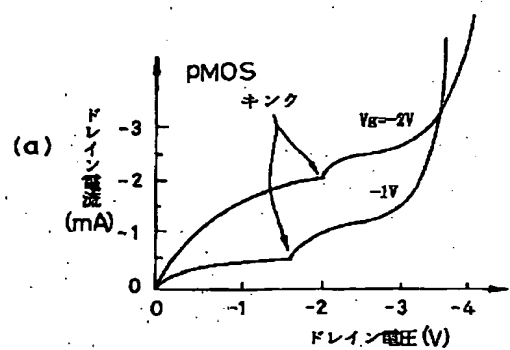
[Drawing 14]



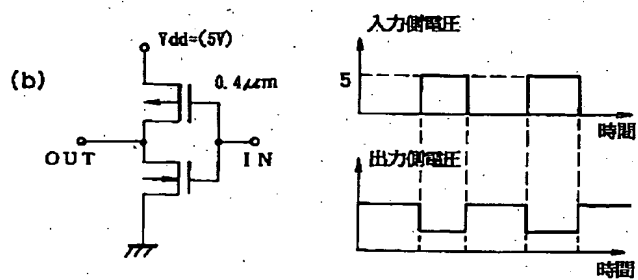
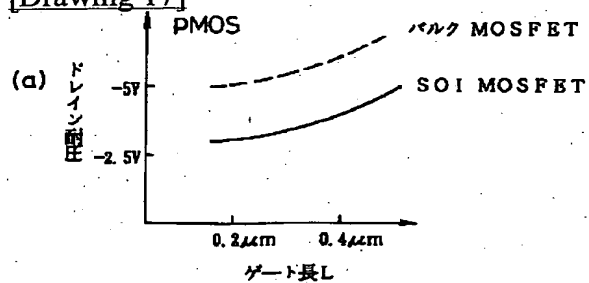
[Drawing 15]



[Drawing 16]



[Drawing 17]





(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-12883

(43) 公開日 平成10年(1998) 1月16日

(51) Int.Cl.<sup>9</sup>

H 0 1 L 29/786

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

6 1 6 V

6 2 6 B

審査請求 未請求 請求項の数4 O L (全 14 頁)

(21) 出願番号 特願平8-159996

(22) 出願日 平成8年(1996) 6月20日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 西山 彰

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

(72) 発明者 有隅 修

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

(72) 発明者 吉見 信

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

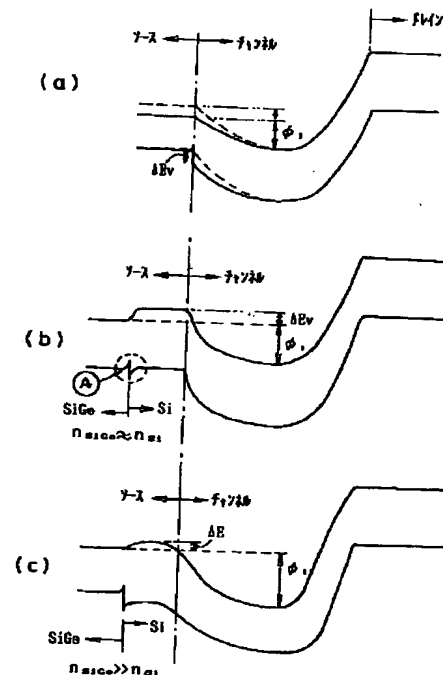
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 基板浮遊効果が問題となるような、pチャンネル絶縁ゲート型半導体デバイスにおいて、リーク電流の発生を伴うことなく、チャンネル領域に蓄積した電子を有効に吸い出すことのできる半導体装置を実現する。

【解決手段】 基板浮遊効果を抑制し、ドレイン耐圧を向上させるための新規な構造であり、具体的には $p^+$ ソース領域又は $p^+$ ドレイン領域の少なくとも一部もしくは全部、又はその上部もしくは下部に $Si_xGe_{1-x}$ 、 $Si_xSn_{1-x}$ 等のチャンネル部を構成している第1の半導体領域(シリコン)よりも禁制帯幅の小さい第2の半導体の領域(狭バンドギャップ半導体領域)を形成する。



## 【特許請求の範囲】

【請求項1】 第1の絶縁膜上に形成されたn型の第1の半導体領域と、ソース領域と、ドレイン領域と、該第1の半導体領域の上部に形成されたゲート絶縁膜としての第2の絶縁膜を介して該第1の半導体領域を流れる電流を制御するゲート電極とを有するトランジスタを少なくとも含む半導体装置であって、

該ソースおよびドレイン領域にはp型不純物元素が含まれ、該ソースおよびドレイン領域の少なくとも一方の領域の少なくとも一部又は全部あるいは一部チャンネル領域に至るまでが前記第1の半導体領域よりも禁制帯幅の小さい第2の半導体領域から成ることを特徴とする半導体装置。

【請求項2】 第1の絶縁膜上に形成されたn型の第1の半導体領域と、ソース領域と、ドレイン領域と、該第1の半導体領域の上部に形成されたゲート絶縁膜を介して該第1の半導体領域を流れる電流を制御するゲート電極とを有するトランジスタを少なくとも含む半導体装置であって、

該ソースおよびドレイン領域にはp型不純物元素が含まれ、該ソースおよびドレイン領域の少なくとも一方の領域の上部もしくは下部又は上部および下部の両方に前記第1の半導体領域よりも禁制帯幅の小さい第2の半導体領域が形成されたことを特徴とする半導体装置。

【請求項3】 前記第1の半導体領域はシリコン(Si)であり、前記第2の半導体領域は、格子定数が広がる方向に歪を受けたSiであることを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 前記第1の半導体領域はシリコン(Si)であり、前記第2の半導体領域は $Si_xGe_{1-x}$ 又は $Si_xSn_{1-x}$ であることを特徴とする請求項1又は2記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は単体の絶縁ゲート型半導体装置およびこれを含む集積回路(LSI)等の半導体装置に係り、特に絶縁膜上に形成される絶縁ゲート型半導体装置に関わる。

## 【0002】

【従来の技術】近年の256Mbダイナミックランダムアクセスメモリ(DRAM)技術等に見られる半導体集積回路(LSI)の高集積化への進歩には著しいものがある。しかし、DRAMを例に説明すると、集積度の進展にともない、メモリセル面積は益々減少する傾向にあり、アルファ線により引き起こされるいわゆるソフトエラーを防ぐためのセル容量の確保が難しくなっている。DRAMのソフトエラー防止のためには図11に示すような絶縁膜(SOI絶縁膜)202上の単結晶シリコン膜165上に半導体素子を作る、いわゆるSOI(Silicon-On-Insulator)構造が採用さ

れている。SOI素子は、微細かつ高速動作が可能であり、高性能素子として有望である。SOI構造を用いれば、アルファ線により発生する電子・正孔対を、SOI絶縁膜上の単結晶シリコン膜(以下、「SOI膜」という)165内に制限することができるためソフトエラー耐性は飛躍的に向上する。図11はnチャンネルSOI素子であるが、このnチャンネルSOI素子は、図12に示すように、チャンネル領域に蓄積された正孔(ホール)による、いわゆる基板浮遊効果が生じるためドレイン破壊電圧がバルクMOSFETに比して低いという欠点がある。また従来のnチャンネルSOI素子は図13に示すようにスイッチング動作における電流オーバーシュートなどの不安定性の問題もあり、実用上の大きな問題になっている。

【0003】このような、nチャンネルSOI素子における基板浮遊効果対策として、MOSFETのチャンネル領域に対してバンドギャップ(禁制帯幅) $E_g$ の狭い材料をソース領域に用いた構造が提案されている(特開平1-255252号公報)。特開平1-255252号公報に開示されたMOSFETにおいてはソース領域を構成する半導体材料のバンドギャップ $E_g$ を狭めることにより、基板浮遊効果の主原因となる、正孔のチャンネル内の蓄積が効果的に防止可能である。

【0004】Siをチャンネル領域とするMOSFETに対してバンドギャップの狭い材料として、最も代表的なものは $Si_xGe_{1-x}$  ( $0 < x < 1$ )であり、これを用いたSOI・MOSFETの一つを図14(a)に示す。図14(a)のnチャンネルSOI・MOSFETは台基板となるSi基板201の上に酸化膜等のSOI絶縁膜202が形成されその上に活性層となるp型のSOI膜203が形成され、このSOI膜の一部に $n^+$ ソース/ドレイン領域206が形成されている。図14

(a)の特徴は、この $n^+$ ソース/ドレイン領域206の内部に $Si_xGe_{1-x}$ 層207が形成されている点である。 $n^+$ ソース領域206と $n^+$ ドレイン領域206とに挟まれたp型SOI膜からなるチャンネル領域203の上部にはゲート酸化膜25が形成され、その上にたとえばポリシリコン等のゲート電極26が形成されている点は通常のnチャンネルMOSFETと同様である。

【0005】図14(a)のnチャンネルSOI・MOSFETのポテンシャルプロファイルを図14(b)に示す。このようなMOSFETでは、図14(b)に示すように、ソース領域のバンドギャップを破線の位置まで狭くすることができ、 $n^+$ ソース領域内部へ流れる正孔電流は、指数関数的に増大することが実験的に、あるいはシミュレーションにより明らかである。たとえばチャンネル長 $0.5\mu m$ のnチャンネルSOI・MOSFETの電流電圧特性を図15に示す。図15に示す電流電圧特性のうち実線はGeイオンを加速電圧 $V_{ac}=50kV$ において、ドーズ量 $\Phi=3 \times 10^{16} cm^{-2}$ でイオン

注入したSOI・MOSFETについて測定したものである。図15において破線で示すSiのみをソース/ドレイン領域とする(SiGe領域無しの)nチャンネルMOSFETに対し、実線で示すSiGe層をソース/ドレイン領域内部に有するnチャンネルMOSFETはドレイン破壊電圧が1V以上改善していることがわかる。

【0006】図14(a)に断面構造を示したようなnチャンネルSOI・MOSFETは以下のような製造工程で製造される。まず、SIMOX(Separation by IMplanted OXYgen)法を用いてSOI基板を作成する。すなわち、シリコン基板201に酸素イオンをイオン注入し、熱処理することにより、上層のシリコン膜(SOI膜)203と下層のシリコン基板201を分離するように、埋め込み酸化膜(SOI絶縁膜)202を形成する。そして、上層のSOI膜203に対して隣接する素子間を電氣的に分解するための、素子間分離領域となるフィールド酸化膜領域をSi<sub>3</sub>N<sub>4</sub>膜等を用いたLOCOS(Local Oxidation of Silicon)法等により形成する(ただし、図14(a)においては、素子間分離領域の図示を省略しているが、図示部分からはずれた両側の位置にあることは容易に理解されるであろう)。続いて、LOCOS法に用いたSi<sub>3</sub>N<sub>4</sub>膜等を除去し、フィールド酸化膜領域に囲まれた素子形成領域(活性領域)203の表面を露出させ、その露出した活性領域(SOI膜)203の表面に熱酸化法等によりゲート酸化膜25を形成する。そしてこの後、この上にLPCVD(Low Pressure Chemical Vapour Deposition)法等によるポリシリコン膜26の形成を行う。そして、フォトリソグラフィ工程により、レジストパターンをポリシリコン膜26のゲート電極予定領域部分の上部のみに形成し、このレジストパターンをマスクとしてRIE(Reactive Ion Etch)法等により、ポリシリコンゲート電極26、及びゲート酸化膜25を形成する。そして、n<sup>+</sup>ソース/ドレイン領域206形成のためのAs等のn型不純物イオンをポリシリコンゲート電極26を用いて自己整合的にイオン注入し、熱処理する。続いて、このソース/ドレイン領域206にGeをイオン注入し、熱処理を施し、ソース/ドレイン領域206の内部にSiGe層207を形成すれば、図14(a)に示すような、nチャンネルSOI・MOSFETが完成する。実際にはこの後、さらに酸化膜、PSG膜、BPSG膜等の層間絶縁膜を表面に堆積し、この層間絶縁膜中に電極コンタクト用の開口(コンタクトホール)を形成し、ソース/ドレイン金属電極配線等のメタライゼーション工程を行うのであるが、ここでは図示を省略する。

【0007】

【発明が解決しようとする課題】一方、pチャンネルSOI・MOSFETについては最近までドレイン破壊電圧が高いなどの事のため基板浮遊効果は大きな注目を集めていなかった。ドレイン破壊電圧が高いのはpチャンネルSOI・MOSFETの電流駆動力がnチャンネルSOI・MOSFETのそれに比べ小さく、かつドレイン近傍の電界による正孔の電子に対するインパクトイオン化率が小さいことのためである。しかしながら本発明の発明者による詳細な実験により、ゲート長0.5μm以下の素子等を用いたLSIパターンの微細化に伴い、pチャンネルSOI・MOSFETにおいてもその電流駆動力が高まり、ドレイン近傍の電界の上昇が起こり、もはや基板浮遊効果は無視できなくなってきたことが次第に明らかになってきた。例えば図16(a)に示すようにpチャンネルSOI・MOSFETでもI<sub>d</sub>-V<sub>d</sub>静特性中のキンクが見られること、あるいは、図16(b)に示すような5極管領域でのしきい値係数の異常な減少が現れることが明らかになってきた。これらの異常な特性はnチャンネルSOI・MOSFETの場合と同様、たとえばアナログ回路での出力波の“ひずみ”を形成する原因となるし、5極管領域でのしきい値の低下を引き起こす。さらに図17(a)に示す様な、バルクMOSFET(破線)に比してドレイン耐圧の低下したpチャンネルSOI・MOSFET(実線)を例えば図17(b)に示すようなCMOSインバータ回路に用いた場合においては入力を高レベル(High)にしても出力が低レベル(Low)にならず出力がフルスイングしないという問題を起こす。

【0008】以上述べた問題点を鑑み本発明の目的は、ゲート長0.5μm以下の微細化された構造において無視できなくなってきたpチャンネルSOI・MOSFETを含むpMOSLSIやCMOSLSI等の半導体装置の基板浮遊効果を抑制することが可能な新規な構造、を提供することである。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明は第1の絶縁膜上に形成されたn型の第1の半導体領域と、ソース領域と、ドレイン領域と、該第1の半導体領域の上部に形成されたゲート絶縁膜としての第2の絶縁膜を介して該第1の半導体領域を流れる電流を制御するゲート電極とを有するトランジスタを少なくとも含む半導体装置であって、該ソースおよびドレイン領域にはp型不純物元素が含まれ、該ソースおよびドレイン領域の少なくとも一方の領域の少なくとも一部又は全部あるいは一部チャンネル領域に至るまでが前記第1の半導体領域よりも禁制帯幅(バンドギャップ)E<sub>g</sub>の小さい第2の半導体領域から成ることを第1の特徴とする。

【0010】さらに上記目的を達成するために、本発明は第1の絶縁膜上に形成されたn型の第1の半導体領域

と、ソース領域と、ドレイン領域と、該第1の半導体領域の上部に形成されたゲート絶縁膜を介して該第1の半導体領域を流れる電流を制御するゲート電極とを有するトランジスタを少なくとも含む半導体装置であって、該ソースおよびドレイン領域にはp型不純物元素が含まれ、該ソースおよびドレイン領域の少なくとも一方の領域の上部もしくは下部又は上部および下部の両方に前記第1の半導体領域よりも禁制帯幅 $E_g$ の小さい第2の半導体領域が形成されたことを第2の特徴とする。

【0011】このバンドギャップ $E_g$ の小さな第2の半導体領域としては第1の半導体領域をSiとした場合にはSi系の材料が好ましく、具体的には $Si_x Ge_{1-x}$ 、 $Si_x Sn_{1-x}$ が好ましい。

【0012】また、第2の半導体領域としては、格子定数が大きくなる方向に歪を内含するSiでもよい。これらの材料の形成方法としてはGeあるいはSnのSi中へのイオン注入、SiGe層（SiGeのかわりにSiSn層等でもよい）のSi上への選択CVD、歪を受けない（格子定数の変化のない）SiGe層（あるいはSiSn層）の形成とその上へのSiの結晶成長、CaF<sub>2</sub>層とCaSrF<sub>2</sub>層上へのSiの結晶成長等を行えばよい。

【0013】図5に示すSiGe層238、239のCVDによる場合はSi等からなる第1の半導体領域のp<sup>+</sup>ソース/ドレイン領域312、313の上部に禁制帯幅 $E_g$ の小さい第2の半導体領域238、239が形成されたことになる。また、図7に示すSiGe層44の上部にSi層45aを成長した場合にはp<sup>+</sup>ソース領域409の下部に第2の半導体領域が形成され、さらにp<sup>+</sup>ソース領域自身も歪を受けてバンドギャップ $E_g$ が小さくなっている。

【0014】図1（a）は最も基本的な例として、p<sup>+</sup>ソース領域の全部をSiGe層で形成し、p<sup>+</sup>ソース領域のみのバンドギャップ $E_g$ を一様に狭めた場合のバンド図を示すものである。Siに対し $Si_x Ge_{1-x}$ は $\Delta E_v$ だけバンドギャップが狭いために価電子帯側に $\Delta E_v$ のバンドの不連続性を持つことになる。この不連続性によりチャンネル部に溜った電子のソース方向への流入に対するエネルギー障壁 $\phi_1$ が図1（a）に示す様に減少する。このことによりチャンネル部に蓄積された電子のp<sup>+</sup>ソース領域への流入は促進され、基板浮遊効果は抑制される。理論上は図1（a）のようにヘテロ接合界面とp<sup>+</sup>ソース領域端が一致することが望ましいのであるが製造技術上からは、図1（b）のようになることも考えられる。つまり、図1（b）はp<sup>+</sup>ソース領域の一部がSiGe層の場合、すなわち、SiGe/Siヘテロ接合界面がp<sup>+</sup>ソース領域中にある場合のバンド図を示すものである。この場合p<sup>+</sup>ソース領域中にSiが存在する分だけチャンネルに溜った電子に対する障壁が高くなるが、このSi部は10nm以下の極めて薄い層と

しておけばトンネル電流が流れることによりチャンネルに蓄積された電子はp<sup>+</sup>ソース領域に吸い出される。Si部の厚みを10nm以下の精度で製造することは熱処理条件等の選定で比較的容易に制御できる。さらに $Si_x Ge_{1-x}$ 中でのキャリアの再結合速度の増加によるチャンネル部からの電子の吸い出しの促進も起こるため、図1（b）に示すSi部分がp<sup>+</sup>ソース領域に存在する構造でもpチャンネルSOI・MOSFETの基板浮遊効果抑制が可能であるのである。ただし、この際図1（b）に示したA部はトランジスタ電流である正孔の流れを抑制する方向に働くためにp<sup>+</sup>ソース領域p型の不純物密度（ $n_{SiGe}$ および $n_{Si}$ ）はできるだけ高くしてここの正孔の流れが滞らないようにするのがよい。

【0015】一方チャンネルに溜った電子のソースへの引き抜きという観点からいうとSiGe部の不純物密度 $n_{SiGe}$ に対し、p<sup>+</sup>ソース領域のSi部の不純物密度 $n_{Si}$ を低くすれば、図1（c）に示す様なバンド図となり電子に対する障壁は $\Delta E_v$ よりも小さな値 $\Delta E$ （ $< \Delta E_v$ ）とすることができ、図1（b）の場合よりも効果的である。また図1（a）よりも $Si_x Ge_{1-x}$ がチャンネル側に入った構造でもよく、この場合も、上述のような電子のソース中への引き抜き効果が生じる。

【0016】

【発明の実施の形態】図2（a）は本発明の第1の実施の形態に係るpチャンネルSOI・MOSFETの断面構造を示す。図2（a）において台基板となるn型（100）シリコン基板21の上部に第1の絶縁膜（SOI絶縁膜）となる埋め込み酸化膜202を介してn型の第1の半導体領域となるn型SOI膜23が形成されている。そしてn型SOI膜23はSOI膜23の表面から埋め込み酸化膜202に達するまで深く形成された熱酸化膜24により素子分離がなされている。そしてこの素子分離されたn型SOI膜23の領域を活性領域として、この活性領域の内部にp<sup>+</sup>ソース領域216およびp<sup>+</sup>ドレイン領域226が、その底部を埋め込み酸化膜202に接するように形成されている。p<sup>+</sup>ソース領域216およびp<sup>+</sup>ドレイン領域226の内部には、ボロン（B）を含むシリコンゲルマ（SiGe）領域217、227が形成され、このSiGe領域217、227の上部には、酸化膜（SiO<sub>2</sub>膜）、PSG膜、BPSG膜等の層間絶縁膜211が形成され、この層間絶縁膜211中に形成されたコンタクトホールを介してソース金属電極218およびドレイン金属電極228が形成されている。図2（a）は便宜上、誇張した模式断面図であり、実際はSiGe領域217、227からはみ出したp<sup>+</sup>ソース/ドレイン領域216、226は10nm以下の薄い領域である。またp<sup>+</sup>ソース領域216およびp<sup>+</sup>ドレイン領域226に挟まれたチャンネル領域23の上部には第2の絶縁膜となるゲート酸化膜25を介して、ポリシリコン等のゲート電極26が形成されて

いる。ポリシリコンゲート電極26の表面には後酸化膜と称せられる薄い酸化膜27が形成されている。 $p^+$ ソース領域216、 $p^+$ ドレイン領域226は、たとえばボロン(B)等のp型不純物元素を $6 \times 10^{18} \sim 6 \times 10^{20} \text{ cm}^{-3}$ 程度の高不純物密度にドーピングした領域である。

【0017】図2(b)は本発明の第1の実施例に係る単体のpチャンネルSOI・MOSFETのドレイン電流( $I_d$ )ードレイン電圧( $V_d$ )特性を参考例と比較して示す図である。図2(b)に示す $I_d$ - $V_d$ 特性はゲート長 $L=0.4 \mu\text{m}$ 、ゲート幅 $W=100 \mu\text{m}$ のpチャンネルSOI・MOSFETについてのものであり、実線は $\text{Ge}^+$ イオンを25KeVでドーズ量 $3 \times 10^{16} \text{ cm}^{-2}$ で打ち込み $p^+$ -SiGe領域217、227を形成した単体素子の特性であり、破線は対応する $p^+$ -SiGe領域を有しない単体素子(参考例)の特性である。 $p^+$ -SiGe領域217、227を有することにより、チャンネル部に蓄積された電子の $p^+$ ソース領域への流入が促進され、ドレイン破壊電圧が1V以上改善していることがわかる。

【0018】図2(a)に示したpチャンネルSOI・MOSFETは図3(a)～図3(d)に示す方法によって製造できる。

【0019】(イ) まず、n型(100)のSi基板21に酸素を加速電圧180KeV、ドーズ量 $2 \times 10^{18} \text{ cm}^{-2}$ で注入し、1300℃で5時間熱処理するいわゆるSIMOX法により、シリコン表面から深さ200nmの所に厚さ100nmの埋め込み酸化膜(SOI酸化膜)202を形成する。このときSOI酸化膜202の上部には単結晶シリコン膜(SOI膜)23が約200nm形成される。次にSOI膜23の表面を熱酸化し、この酸化膜を $\text{NH}_4\text{F}$ 溶液等でエッチング除去することにより、SOI膜23を100nm厚さまで薄くする。

【0020】(ロ) 次にLOCOS法等の選択酸化技術により、素子分離膜24を形成し、隣接する素子間を電気的に分離する。次にゲート酸化膜25を5nmの厚さに形成し、ボロン(B)を $10^{20} \text{ cm}^{-3}$ ドーピングした多結晶Si(ポリシリコン)26を200nm程度の厚さにCVD法により堆積し、フォトリソグラフィ工程を用いて図3(a)に示す形状にゲート電極26として加工する。たとえばゲート長 $L=0.4 \mu\text{m}$ 、ゲート幅 $W=10 \mu\text{m}$ の寸法にゲート電極を加工する。次に全面を酸化し、厚さ5nmの後酸化膜27を多結晶Si表面(上面および側面)に形成する。

【0021】(ハ) 次に図3(b)に示すように、Geを加速電圧30KeV、ドーズ量 $1 \sim 3 \times 10^{16} \text{ cm}^{-2}$ でイオン注入し、Geをピーク濃度で約10～30%含有するSi層( $\text{Si}_{0.9}\text{Ge}_{0.1} \sim \text{Si}_{0.7}\text{Ge}_{0.3}$ 層)28を形成する。

【0022】(ニ) 次に全面にSiN膜を20nm堆積

し、その後全面エッチングする事により図3(c)に示すように多結晶シリコンゲート電極の側壁に側壁SiN膜29を形成する。さらに $\text{BF}_2^+$ を加速電圧20KeV、ドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ でイオン注入し、その後850℃で窒素雰囲気中30分のアニールをする事により、SiGeの $p^+$ 層217、227およびSiの $p^+$ 層216、226を形成する。

【0023】(ホ) さらに全面にCVD法等によりSiO<sub>2</sub>膜、PSG膜、BPSG膜等の層間絶縁膜211を300nm堆積し、この層間絶縁膜211中の所定の部分にコンタクト用孔を開け、配線材、例えばSi、Cu含有のAl(A1-Si、A1-Cu-Si)等を全面に400nm堆積、加工する事により図3(d)に示すようにソース金属電極218およびドレイン金属電極228を形成すれば、本発明の第1の実施の形態のpチャンネルSOI・MOSFETが完成する。

【0024】図2に示した構造例では、ソース領域が全てSiGeになっておらず、ヘテロ接合界面が $p^+$ ソース領域の内部にあるが、図1(a)～(c)を用いて前述の通り $p^+$ ソース領域端とヘテロ接合界面は一致することが好ましい。しかし、必ずしもソース領域全てがSiGeである必要はなく、図1(b)、(c)のようにチャンネル領域に接しているソース部は高々10nm程度の $p^+$ -Si領域216が残る構造であってもかまわない。 $p^+$ -Si部分の厚みは $p^+$ ソース/ドレイン領域用の $\text{BF}_2^+$ イオン注入の後における850～900℃程度でのアニール時間の調整で制御することができる。何となればこの温度程度の拡散条件ではGeのSi中の拡散は無視できる程度に小さいからである。また、さらにアニール時間を調整すれば $p^+$ ソース領域端とヘテロ接合界面とを一致させ図1(a)に示すようなポテンシャルプロファイルを得ることもできる。このようなBの拡散を促進するアニールによって図1(c)の様なソースSi部の不純物密度 $n_{\text{Si}}$ がソースSiGe部の不純物密度 $n_{\text{SiGe}}$ よりも低くなる形を実現することも容易にできる。また本実施の形態ではGeイオンをSi基板に対し、垂直に入射(イオン注入)させたが、 $\text{Ge}^+$ イオンのチャネリングを防止するため僅かな傾斜角(例えば7°)を持たせてヘテロ界面の位置を制御してもよい。また $\text{Ge}^+$ イオンをよりチャンネルに近い所へ入射させるため、いわゆる回転イオン注入(斜めイオン注入)による40°程度傾けた注入を行ってもよい。

【0025】また、本発明の第1の実施の形態ではSiGeをバンドギャップの狭い材料として用いているが、SiGeに限られず、Si系のSiよりもバンドギャップの狭い他の材料を用いてもよい。例えばSnとSiの合金でもよい。

【0026】 $p^+$ 層形成のための不純物を上記述ではボロン(B)としているが、インジウム(In)あるいはガリウム(Ga)等の他のIII族の不純物を用いてもよ

い。上記の説明においてはSALICIDE (Self Aligned Silicide) 構造にしていなが、寄生抵抗の低減化が必要な場合には当然SALICIDE構造も適用可能である。また図2(a)に示した構造では $p^+$ ソース/ドレイン領域の両方がSiGeになっているが、本発明の効果はソース部のみをSiGeにしても失われない。またチャンネル中にSiGeが入り込んでしまっても本発明の効果は失われない。この際のパンド図は図1(a)に近いものであり価電子帯中 $\Delta E_v$ のパンド不連続点が少しチャンネル側に移動するだけである。

【0027】ゲートの多結晶Siはボロン(B)ドーパの $p$ 型ドーパド・ポリシリコンのものについて記述しているが、リン(P)ドーパ等の $n$ 型ドーパド・ポリシリコンでもよく、またポリサイド(多結晶Siとシリサイドの2層構造)でもよい。また、W、Ti、Mo等の高融点金属、その他の金属をゲート材料に用いてもよい。

【0028】図4は本発明の第2の実施の形態に係る $p$ チャンネルSOI・MOSFETの断面構造を示す。図4において $n$ 型(100)シリコン基板21の上部に第1の絶縁膜となる埋め込み酸化膜202を介して $n$ 型の第1の半導体領域となる $n$ 型SOI膜23が形成されている。そして $n$ 型SOI膜23はSOI膜203の表面から埋め込み酸化膜202に達するまで深く形成された熱酸化膜24により素子分離がなされている。そしてこの素子分離されたSOI膜23の領域を活性領域として、この活性領域の内部に $p^+$ ソース領域312および $p^+$ ドレイン領域313が、その底部を埋め込み酸化膜202に接するように形成されている。 $p^+$ ソース領域312および $p^+$ ドレイン領域313の上部には、第2の半導体領域となるボロン(B)を含む $p^+$ -SiGe領域238、239が形成されている。SiGe領域238、239の上部には層間絶縁膜211が形成され、SiGe領域238、239に対し、層間絶縁膜211中に形成されたコンタクトホールを介してソース金属電極218およびドレイン金属電極228が形成されている。また、 $p^+$ ソース領域312および $p^+$ ドレイン領域313に挟まれた第1の半導体領域から成るチャンネル領域23の上部にはゲート酸化膜(ゲート絶縁膜)25を介して、ポリシリコン等のゲート電極26が形成されている。ポリシリコンゲート電極26の表面には後酸化膜と称せられる薄い酸化膜27が形成されている。 $p^+$ ソース領域312、 $p^+$ ドレイン領域313は、たとえばボロン(B)等の $p$ 型不純物を $6 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の高不純物密度にドーパした領域である。

【0029】本発明の第2の実施の形態に係る $p$ チャンネルSOI・MOSFETは図5(a)~(c)に示すような製造方法により製造することができる。

【0030】(イ) SIMOX法等によるSOI基板

(SIMOX-SOI基板)を用いること、およびこのSIMOX-SOI基板に対し、LOCOS法を用いた素子分離後、ゲート酸化し、 $B$ ドーパの多結晶Si膜26をゲート電極として加工し、全面を酸化雰囲気中で熱処理した後酸化膜27を形成するところまでは本発明の第1の実施の形態と同様である。

【0031】次に全面にSiN膜を20nmの厚さに堆積し、全面エッチバックをかけるとゲート電極の側壁に図5(a)に示すように側壁SiN膜29が形成される。

【0032】(ロ) 次に $\text{SiH}_4$ ガスと $\text{GeH}_4$ ガスの反応を用いたCVD法により $n$ 型SOI膜の露出した部分のSi表面に図5(b)に示すように選択的にSiGe層238、239を100nmの厚さで堆積する。次に $B^+$ を30KeVで $3 \times 10^{15} \text{ cm}^{-2}$ イオン注入する。

【0033】(ハ) 続いて基板温度850℃、窒素雰囲気中で、30分のアニールをする事により、SiGe層239を含めその下のSiも $p^+$ 層にし $p^+$ -SiGe領域238、239 $p^+$ ソース領域312、 $p^+$ ドレイン領域313を形成する。さらに図5(c)に示すように全面にCVD法等により $\text{SiO}_2$ 膜等の層間絶縁膜211を300nmの厚さに堆積し、この層間絶縁膜211中にコンタクト孔を開け、配線材、例えばSi、Cu含有のAlを全面に400nm堆積、加工しソース金属電極218、ドレイン金属電極228を形成すれば本発明の第2の実施の形態の $p$ チャンネルSOI・MOSFETが完成する。

【0034】本発明の第2の実施の形態では $n$ 型SOI膜23の上に、CVDによりSiGe層238、239を形成しているため $p^+$ ソース/ドレイン領域のうちチャンネルに近い部分はSiになっておりパンド図としては図1(b)や(c)と同じものとなる。このSiGe端とチャンネル領域の間のSi領域の寸法(距離)は本発明の第2の実施の形態の場合には主にゲート側壁29の厚みおよびSOI膜23の厚みにより調整される。

【0035】本発明の第2の実施の形態の変形例としては図6に示すようにゲート電極26の側壁部に側壁SiN膜がない構造である。図6の構造は後酸化膜27の形成後に全面エッチバックを行い、 $n$ 型SOI膜23上のそのみを除去した後、選択CVDによりSiGe層238、239を100nmの厚さで形成し、その後 $B^+$ のイオン注入を行い、SiGe層238、239とその下の $n$ 型SOI膜23を $p^+$ 層にし、 $p^+$ -SiGeソース領域238、 $p^+$ -SiGeドレイン領域239、 $p^+$ -Siソース領域312、 $p^+$ -Siドレイン領域313を形成する。その後の工程は上記と同じである。

【0036】上記本発明の第2の実施の形態の製造方法の説明では $B^+$ のイオン注入を用いた場合について説明したが、 $\text{BF}_2^+$ のような化合物分子のイオンによるイ

オン注入を用いてもよいし、 $\text{In}^+$ や $\text{Ga}^+$ をその代りにイオン注入し $\text{p}^+$ 層を形成してもよい。また、SALICIDE構造を適用することも可能である。さらに上記ではB等のp型不純物の導入はSiGe層238、239の堆積後に行っているが、あらかじめn型SOI膜23中にイオン注入等によりp型不純物を導入しておいてからSiGe層238、239を堆積し、その後さらにSiGe層238、239中にp型の不純物の導入を行ってもよいし、CVDガス中に $\text{BH}_3$ 、 $\text{B}_2\text{H}_6$ などのガスを導入してSiGe堆積と同時に $\text{p}^+$ 化を行ってもよい。バンドギャップの狭い半導体は $\text{Si}_x\text{Ge}_{1-x}$ でなくともよく、 $\text{Si}_x\text{Sn}_{1-x}$ 、Ge等を用いてもよい。

【0037】図7は本発明の第3の実施の形態に係るpチャンネルSOI・MOSFETの断面構造を示す。図7においてn型(100)シリコン基板21の上部に第1の絶縁膜となる埋め込み酸化膜202を介してn型SOI膜231が形成されている。そしてn型SOI膜231の一部の上部には第2の半導体領域となるシリコンゲルマ(SiGe)膜44が形成され、SiGe膜44の上、およびSiGe膜44が形成されていないn型SOI膜231の上部には第1の半導体領域となるn型シリコン(Si)膜45が形成されている。n型Si膜45の表面から、n型SOI膜231に達するまで $\text{SiO}_2$ 膜等の素子分離絶縁膜24が形成されている。素子分離絶縁膜24はn型SOI膜231の表面からさらに埋め込み酸化膜202に達するまで深く形成してもよい。そしてこの素子分離されたn型Si膜45の領域を活性領域として、この活性領域の内部に $\text{p}^+$ ソース領域409および $\text{p}^+$ ドレイン領域226が形成され $\text{p}^+$ ソース領域409はその底部をSiGe膜44に、 $\text{p}^+$ ドレイン領域410はその底部を埋め込み酸化膜202に接するように形成されている。この $\text{p}^+$ ソース領域409、 $\text{p}^+$ ドレイン領域410に対し、層間絶縁膜211中に形成されたコンタクトホールを介してソース金属電極218およびドレイン金属電極228が形成されている。また $\text{p}^+$ ソース領域409および $\text{p}^+$ ドレイン領域410の間のチャンネル領域となるn型Si膜45の上部にはゲート絶縁膜(ゲート酸化膜)25を介して、ポリシリコン等のゲート電極26が形成されている。 $\text{p}^+$ ソース領域409、 $\text{p}^+$ ドレイン領域410は、たとえばボロン(B)等のp型不純物元素を $6 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の高不純物密度にドーブした領域である。

【0038】本発明の第3の実施の形態によれば、 $\text{p}^+$ ソース領域409となるSi層がSiよりも格子定数が大きいSiGe層44の上に形成され、歪みシリコン膜となっている。 $\text{p}^+$ ソース領域409が歪みシリコンにより形成されていることにより、通常のシリコン系のMOSFETの場合に比べて、やはりソースのバンドギャップEgが狭化し(たとえば $\Delta E_g = 0.2 \text{ eV}$ 程度狭

化する)、その結果、チャンネルからソース方向への電子の流れを大幅に促進できる。

【0039】本発明の第3の実施の形態のpチャンネルSOI・MOSFETは図8(a)～(f)に示す方法によって製造できる。すなわち、

(イ) n型(100)シリコン基板21に酸素イオンを加速電圧180KeV、ドーズ量 $2 \times 10^{18} \text{ cm}^{-2}$ の条件で注入した後、1300℃、5時間の熱処理を行うことにより、図8(a)に示すように、表面から深さ200nmの部分に厚さ100nmの埋め込み酸化膜(SOI酸化膜)202を形成するとともに、基板表面にn型のSOI膜231を形成する。なお、ここでは、SOI基板の形成方法としてSIMOX法を例にあげたが、貼り合わせ法(Silicon Direct Bonding: SDB法)を用いても良い(他の実施形態の場合についても同様である)。次に、n型のSOI膜231の表面を熱酸化した後、 $\text{NH}_4\text{F}$ 溶液によりこの酸化膜部分をエッチング除去するという工程を繰り返して、n型SOI膜231を10nmまで薄くする。

【0040】(ロ)次に図8(b)に示すように、n型SOI膜231上に例えばGe濃度50%の厚さ30nmのSiGe膜44をCVD法により形成する。このとき、Ge濃度が高いため、SiGe膜44はその臨界膜厚を越えて成長する。したがって、 $\text{Si}_x\text{Ge}_{1-x}$ ( $0 < x < 1$ )膜44は、下地のn型SOI膜231のSiの格子定数と整合することではなく、 $\text{Si}_x\text{Ge}_{1-x}$ 本来の格子定数をもって成長する。次に図8(c)に示すように、フォトリソグラフィおよびRIEを用いて、SiGe膜44を $\text{p}^+$ ソース領域となる領域のSOI膜231上のみに残置させる。

【0041】(ニ)次に図8(d)に示すように、原料として $\text{SiH}_4$ を用いた成膜温度550℃でのCVD法により、全面に厚さ80nmのn型シリコン(Si)膜45、45aを形成する。このとき、n型Si膜45、45aのうちSiGe膜44上の部分45aは広がり歪みを受け、 $\text{Si}_x\text{Ge}_{1-x}$ の格子定数をもって成長し、歪みn型Si膜となる。他の部分は下地がn型SOI膜231なので歪みを受けず、Si本来の格子定数をもって成長し、無歪みのn型Si膜45となる。

【0042】(ホ)次に図8(e)に示すように、CMP(chemical Mechanical Polishing: 化学的機械的研磨)法等の手法によりn型Si膜45、45aの表面を平坦化し、平坦化後、活性層となる部分の周辺に素子分離絶縁膜24を形成する。そして、n型Si膜45上にゲート酸化膜25となる厚さ5nmのシリコン酸化膜、ゲート電極26となる厚さ300nmのボロン・ドーブド・ポリシリコン膜を順次形成する。なお、n型Si膜45と45aとの断差は30nm程度であるので、CMP法等による平坦化を行わず、断差を残しておき、フォトリソグラフィに

おけるマスク合わせ用の基準等として用いてもよい。次に図8(e)に示すように、上記ドーパド・ポリシリコン膜26、上記シリコン酸化膜25をパターンニングして、ゲート電極26、ゲート酸化膜25を形成する。このとき、歪みn型Si膜45aと無歪み部分のn型Si膜45との界面が図8(e)に示すようにゲート電極26端の直下にくるようにすることが最も好ましい。ただし、上記界面はチャンネルに入り込んでも良いし、また上記界面はゲート電極26端よりもチャンネルから離れたところにあっても良い。次に図8(e)に示すように、ゲート電極26をマスクとして、 $\text{BF}_2$ イオンを加速電圧30KeV、ドーズ量 $5 \times 10^{15} \text{cm}^{-2}$ の条件でイオン注入した後、850℃、30分の熱処理を行って、 $\text{p}^+$ ソース領域409、 $\text{p}^+$ ドレイン領域410を形成する。このとき、 $\text{p}^+$ ソース領域と無歪み部分のn型Si膜45とのpn接合は、歪みp型シリコン膜45aと無歪み部分のp型シリコン膜45との界面に一致することが最も好ましいが、上記pn接合は上記界面と一致していなくても良い。

【0043】(へ)最後に、図8(f)に示すように、全面に厚さ400nmの層間絶縁膜としての $\text{SiO}_2$ 膜211を形成した後、この $\text{SiO}_2$ 膜211にコンタクトホールを開孔して、ソース金属電極218、ドレイン金属電極228を形成し、さらにゲート配線(不図示)を形成して完成する。

【0044】本発明の第3の実施の形態の場合にはSiGe層44と $\text{p}^+$ 歪シリコン層409という2つの狭バンドギャップ材料を同時に $\text{p}^+$ ソース領域として形成しているため上述の電子の流れはさらに促進されpチャンネルSOI・MOSFETの基板浮遊効果抑制に非常に有効である。

【0045】SiGe層44の代りにSiSn層等他のSiより格子定数が大きく、Siより禁制帯幅の小さな狭バンドギャップ材料を用いてもよい。

【0046】図9は本発明の第4の実施の形態に係るpチャンネルSOI・MOSFETの断面構造を示す。図9においてn型(100)シリコン基板21の上部に第1の絶縁膜となる埋め込み絶縁膜251を介してn型SOI膜255が形成されている。埋め込み絶縁膜251としてはSiとほぼ格子定数の等しい $\text{CaF}_2$ 膜が用いられ、その一部が $\text{Ca}_{1-x}\text{Sr}_x\text{F}_2$  ( $0 < x < 1$ )膜252になっている。したがって $\text{Ca}_{1-x}\text{Sr}_x\text{F}_2$ 膜252の上部のn型の第1の半導体領域(n型SOI膜)255は歪Si膜となりバンドギャップが狭化している。そしてこのバンドギャップが狭化したSOI膜255の部分を $\text{p}^+$ ソース領域259、 $\text{p}^+$ ドレイン領域260とし、無歪み部分のn型SOI膜255をチャンネル領域としている。そして歪Si膜部分を含んだSOI膜255はSOI膜255の表面から埋め込み絶縁膜252に達するまで深く形成された熱酸化膜24により

素子分離がなされている。そしてこの素子分離された歪みおよび無歪みのSOI膜255の領域を活性領域として、この活性領域の内部に歪Si膜のみからなる $\text{p}^+$ ソース領域259および $\text{p}^+$ ドレイン領域260が、その底部を埋め込み絶縁膜252に接するように形成されていることになる。 $\text{p}^+$ ソース領域259および $\text{p}^+$ ドレイン領域260に対し、層間絶縁膜211中に形成されたコンタクトホールを介してソース金属電極218およびドレイン金属電極228が形成されている。また $\text{p}^+$ ソース領域259および $\text{p}^+$ ドレイン領域260の間の無歪Si膜であるチャンネル領域255の上部にはゲート酸化膜25を介して、ポリシリコン等のゲート電極26が形成されている。

【0047】本発明の第4の実施の形態に係るpチャンネルSOI・MOSFETは図10(a)～(c)に示す方法により製造することができる。

【0048】(イ)まず、図10(a)に示すように、シリコン基板21上に $\text{CaF}_2$ 膜251、n型SOI膜255を気相エピタキシャル成長法やMBE(Molecular Beam Epitaxy)法等により順次形成する。次に図10(a)に示すように、素子分離絶縁膜24を形成した後、n型SOI膜255上にゲート酸化膜25、ゲート電極26を形成する。n型SOI膜255の厚さは、たとえば30nmとする。

【0049】(ロ)次に図10(b)に示すように、ゲート電極26をマスクとして $\text{Sr}^+$ イオンを $\text{CaF}_2$ 膜251にn型SOI膜255を貫通するように加速電圧80KeV、ドーズ量 $1 \times 10^{17} \text{cm}^{-2}$ でイオン注入する。その後、熱処理を行うことにより、 $\text{CaF}_2$ 膜52の一部を $\text{Ca}_{1-x}\text{Sr}_x\text{F}_2$  ( $0 < x < 1$ )膜252に変化させ、同時に歪みn型SOI膜255aを自己整合的に形成する。これにより、最も好ましい形態である歪みn型SOI膜255aと無歪み部分のn型SOI膜255との界面がゲート端に一致した構造を容易に形成できるようになる。

【0050】(ハ)次に図10(c)に示すように、ゲート電極26をマスクとして $\text{B}^+$ や $^{49}\text{BF}_2^+$ 等のp型不純物イオンを歪みn型SOI膜255aに注入した後、熱処理を行うことにより、 $\text{p}^+$ ソース領域259、 $\text{p}^+$ ドレイン領域260を形成する。この後の工程は第1～第3の実施の形態と同様であり、全面にCVD法等により $\text{SiO}_2$ 膜やPSG膜等の層間絶縁膜211を形成し、この層間絶縁膜中のコンタクトホールを介してソース金属電極218、ドレイン金属電極228を形成すれば、図9に示す本発明の第4の実施の形態のpチャンネルSOI・MOSFETが完成する。

【0051】以上の本発明の第1～第4の実施の形態においては、pチャンネルMOSFETについてのみ述べたが、本発明は以上のpチャンネルMOSFETのみを用いる半導体装置に限られるものではない。本発明の実



施に当ってはpチャンネルMOSFETのみ用いるLSIだけでなく、nチャンネルMOSFETも混在するCMOS・LSI等の回路についても本発明を用いることができる。

【0052】なお、本発明によればソース部あるいはソース／ドレイン部のバンドギャップが狭い事により配線材とのコンタクト部において配線材のフェルミ準位から $p^+$ 半導体の価電子帯間のエネルギー差（いわゆるショットキー障壁）が減少し、コンタクト抵抗が低くなる。その結果、本発明の半導体装置の、変換コンダクタンス $g_m$ が増大し、高速動作が可能となる。

【0053】またソース・ドレイン領域の上部及び下部にバンドギャップの狭い材料層を形成してもよい。その他、本発明は上記実施の形態に限らず、種々変形して実施することが可能である。

#### 【0054】

【発明の効果】以上述べたように本発明によれば、微細化に伴うSOI構造を有したpチャンネルMOSFETの基板浮遊効果を抑制する事ができる。

#### 【図面の簡単な説明】

【図1】本発明の原理を説明するためのバンド図である。

【図2】図2（a）は発明の第1の実施の形態に係るpチャンネルSOI・MOSFETの断面図で、図2（b）はその静特性を示す図である。

【図3】本発明の第1の実施の形態に係るpチャンネルSOI・MOSFETの製造工程を説明するための断面図である。

【図4】本発明の第2の実施の形態に係るpチャンネルSOI・MOSFETの断面図である。

【図5】本発明の第2の実施の形態に係るpチャンネルSOI・MOSFETの製造工程を説明するための断面図である。

【図6】本発明の第2の実施の形態の変形例に係るpチャンネルSOI・MOSFETの断面図である。

【図7】本発明の第3の実施の形態に係るpチャンネルSOI・MOSFETの断面図である。

【図8】本発明の第3の実施の形態に係るpチャンネルSOI・MOSFETの製造工程を説明するための断面図である。

【図9】本発明の第4の実施の形態に係るpチャンネルSOI・MOSFETの断面図である。

【図10】本発明の第4の実施の形態に係るpチャンネルSOI・MOSFETの製造工程を説明するための断面図である。

【図11】従来のnチャンネルSOI・MOSFETの

構造の一例である。

【図12】nチャンネルSOI・MOSFETとnチャンネルバルクMOSFETのドレイン耐圧を比較するための図である。

【図13】nチャンネルSOI・MOSFETのスイッチング時の出力電流のオーバーシュートを説明する図である。

【図14】図14（a）は $Si_xGe_{1-x}$ 領域を $n^+$ ソース／ドレイン領域に有するnチャンネルSOI・MOSFETの断面図で、図14（b）はそのポテンシャルプロファイル（バンドダイアグラム）である。

【図15】 $Si_xGe_{1-x}$ 領域を有するnチャンネルFETと、有しないnチャンネルFETの $I_d-V_d$ 特性を比較する図である。

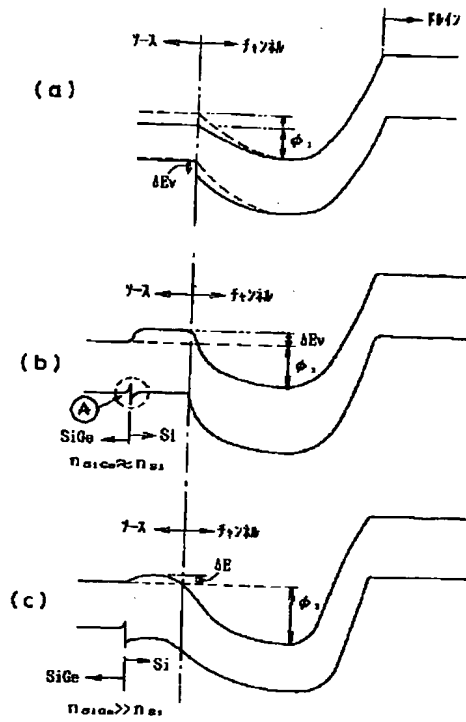
【図16】 $L=0.2\mu m$ のpチャンネルSOI・MOSFETの基板浮遊効果を示す図である。

【図17】従来のpチャンネルバルクMOSFETと従来のpチャンネルSOI・MOSFETの $I-V$ 特性を比較する図（図17（a））およびCMOSインバータを説明するための図（図17（b））である。

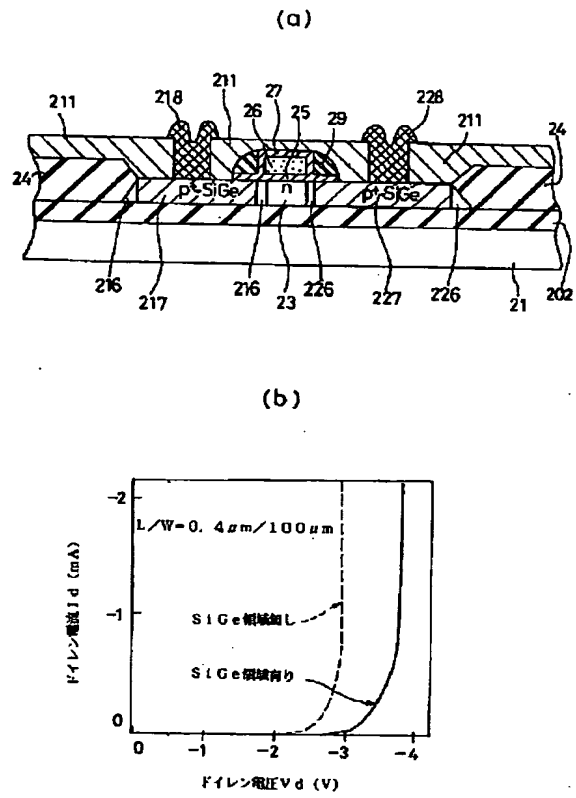
#### 【符号の説明】

- 21 Si基板23, 45, 165, 231, 255
- 第1の半導体領域：SOI層単結晶シリコン層
- 24 素子分離膜
- 25 第2の絶縁膜：ゲート絶縁膜（ゲート酸化膜）
- 26 ゲート多結晶Si
- 27 後酸化膜
- 28, 44 第2の半導体領域：SiGe層
- 29 SiN側壁
- 30 202 第1の絶縁膜：埋め込み酸化膜（SOI絶縁膜）
- 211 CVD  $SiO_2$
- 216, 312,  $p^+$  ソース領域
- 217, 238  $p^+$ -SiGeソース領域（第2の半導体領域）
- 218, ソース金属電極
- 226, 313, 410  $p^+$  ドレイン領域
- 227, 239  $p^+$ -SiGeソース領域（第2の半導体領域）
- 40 228 ドレイン金属電極
- 251 第1の絶縁膜： $CaF_2$  膜
- 252  $Ca_{1-x}Sr_xF_2$  膜
- 255a 歪Si層
- 259, 409  $p^+$  歪Siソース領域
- 260  $p^+$  歪Siドレイン領域

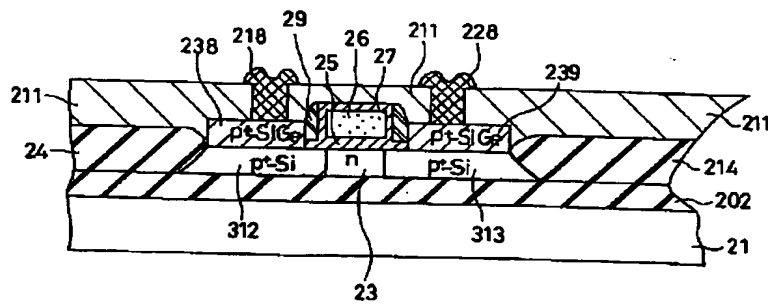
【図1】



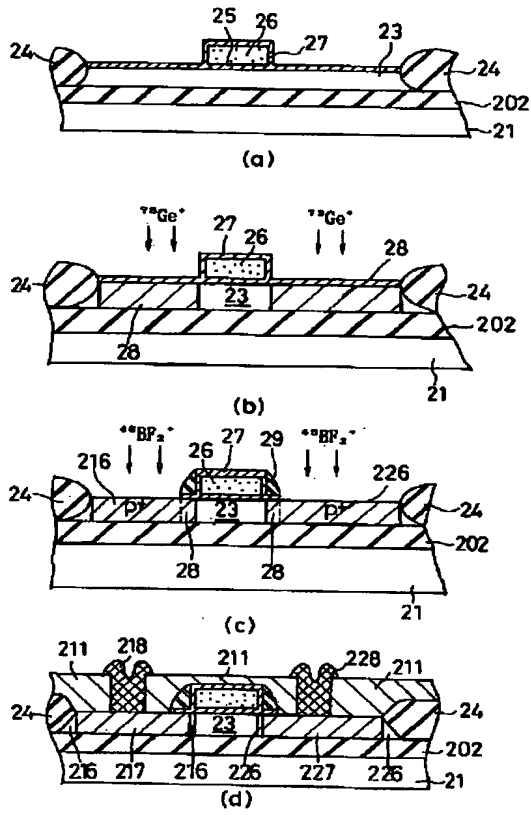
【図2】



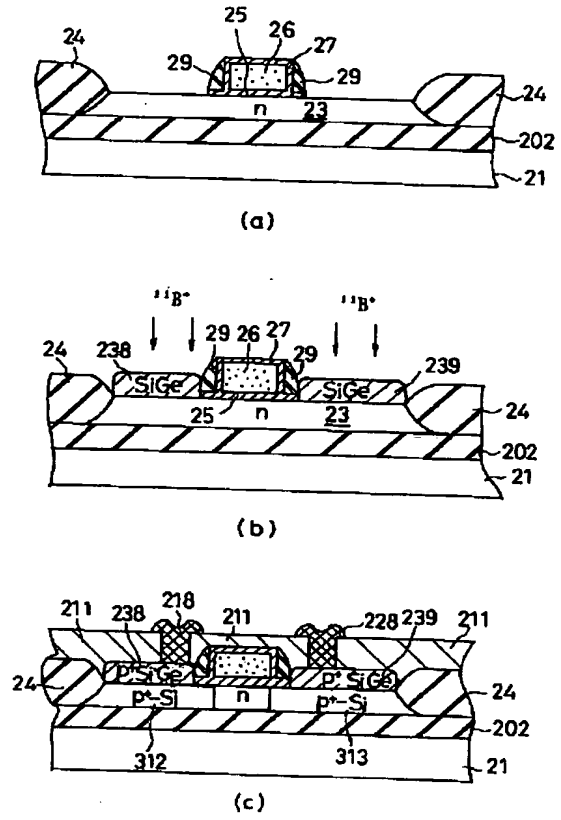
【図4】



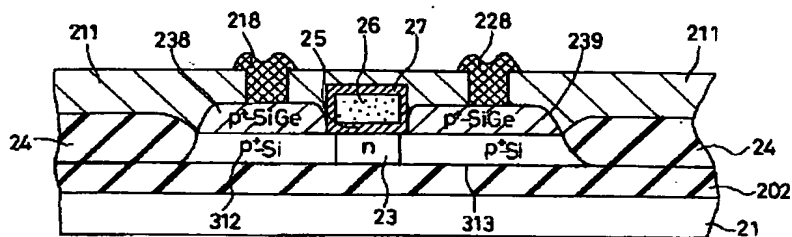
【図3】



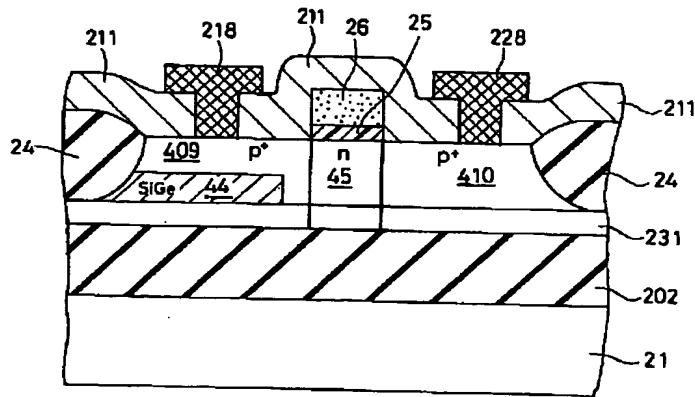
【図5】



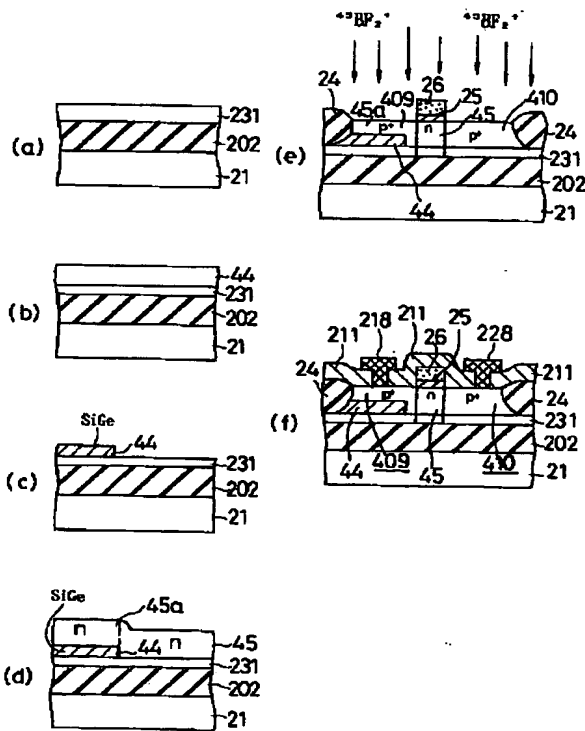
【図6】



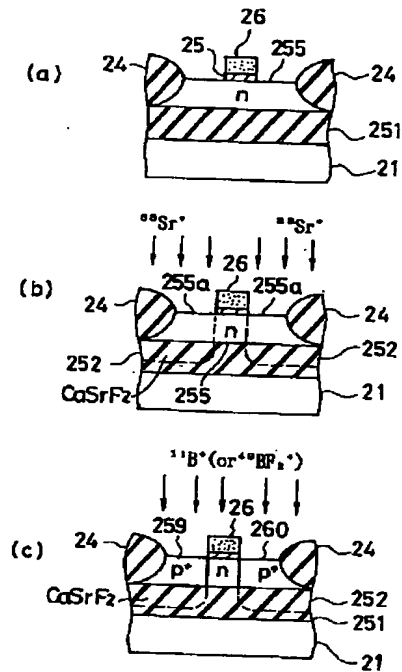
【図7】



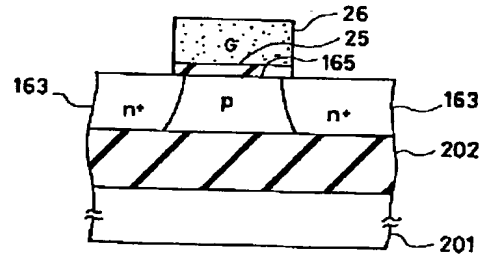
【図8】



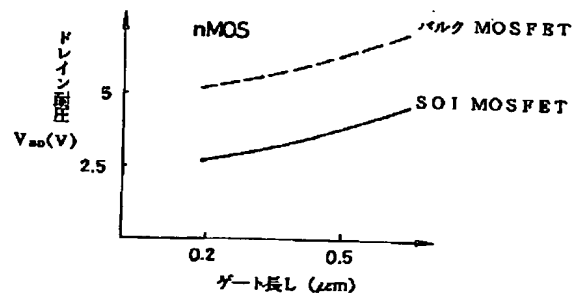
【図10】



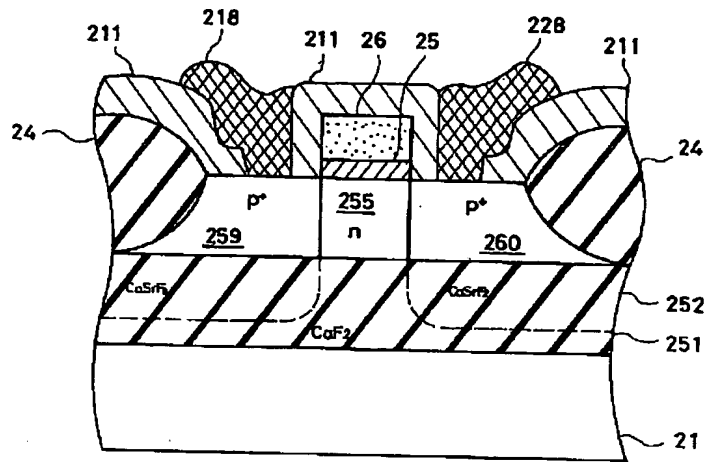
【図11】



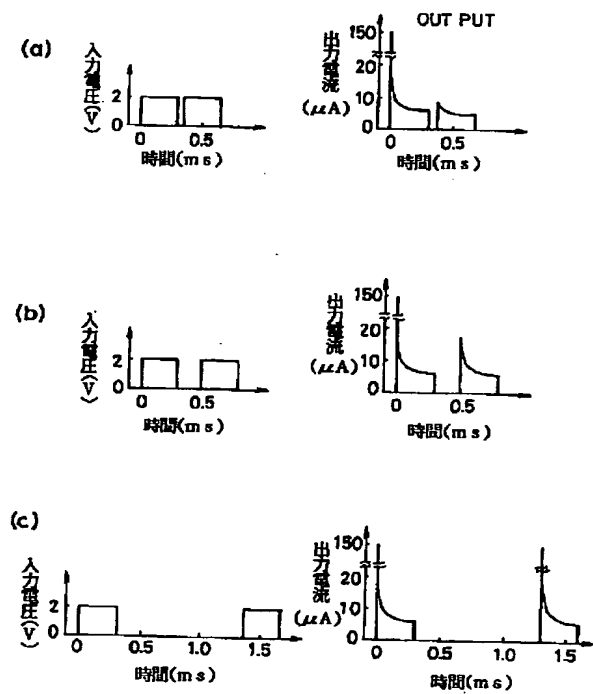
【図12】



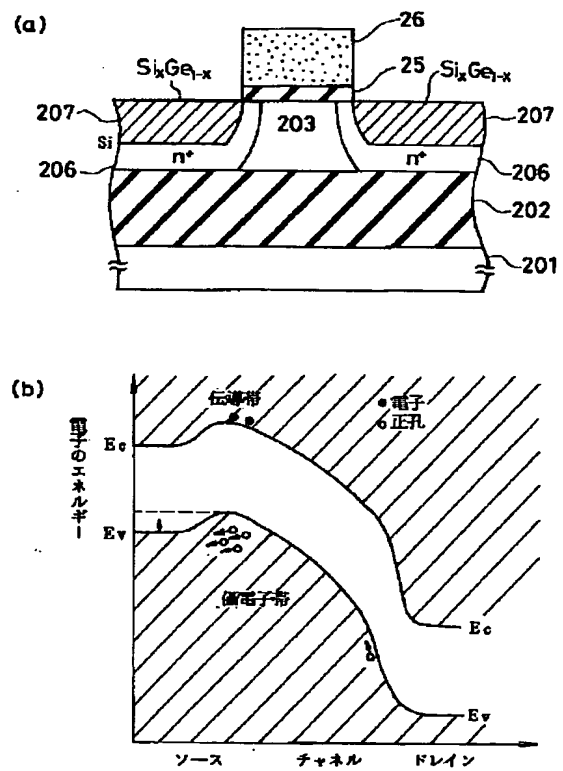
【図9】



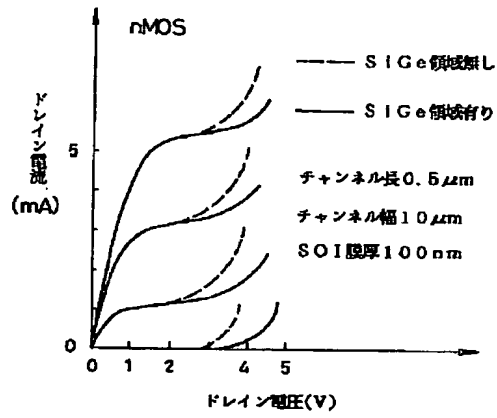
【図13】



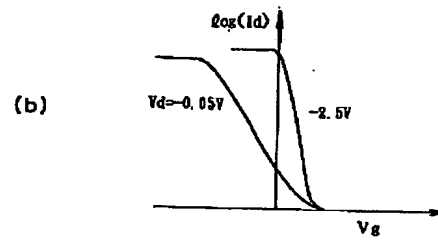
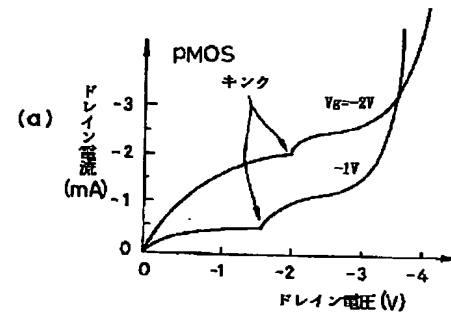
【図14】



【図15】



【図16】



【図17】

